

## SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP11111974  
Publication date: 1999-04-23  
Inventor(s): MATSUMOTO SUSUMU; NAITO KOJI  
Applicant(s): MATSUSHITA ELECTRON CORP  
Requested Patent: ☐ JP11111974  
Application Number: JP19970265358 19970930  
Priority Number(s):  
IPC Classification: H01L29/78; H01L27/108; H01L21/8242; H01L29/417  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To perform acceleration and to lower power consumption, while keeping pose time as long as before in a semiconductor device, for which a memory cell and the peripheral circuit are constituted on a semiconductor substrate.

**SOLUTION:** In a peripheral circuit region Rs, high density source/drain regions 7b, 8b, 9b and 10b are formed, etching is performed with resist used at the time of ion injection as a mask, and a first oxidized film 13 formed on the semiconductor substrate 1 is removed. A titan (Ti) film 53 is deposited on the semiconductor substrate 1 as a high-fusing point metallic film and is thermally treated, and a TiSi<sub>2</sub> film 11 is formed on the source/drain region of the peripheral circuit region Rs as the silicide film of high-fusing point metal. Since the first oxidized film 13 is left in a memory cell region Rc, the TiSi<sub>2</sub> film 11 is not formed. That is, the sheet resistance of the source/drain region of the peripheral circuit region Rs is reduced, while suppressing the increase of leakage current in a charge storage electrode connected to the low density drain region 6a of the memory cell region Rc.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-111974

(43)公開日 平成11年(1999) 4月23日

(51)Int.Cl.<sup>5</sup>

識別記号

F I

H 0 1 L 29/78  
27/108  
21/8242  
29/417

H 0 1 L 29/78  
27/10  
6 2 1 Z  
6 8 1 F  
29/50 S

審査請求 未請求 請求項の数16 O L (全 24 頁)

(21)出願番号 特願平9-265358

(22)出願日 平成9年(1997) 9月30日

(71)出願人 000005843

松下電子工業株式会社  
大阪府高槻市幸町1番1号

(72)発明者 松本 晋

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72)発明者 内藤 康志

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

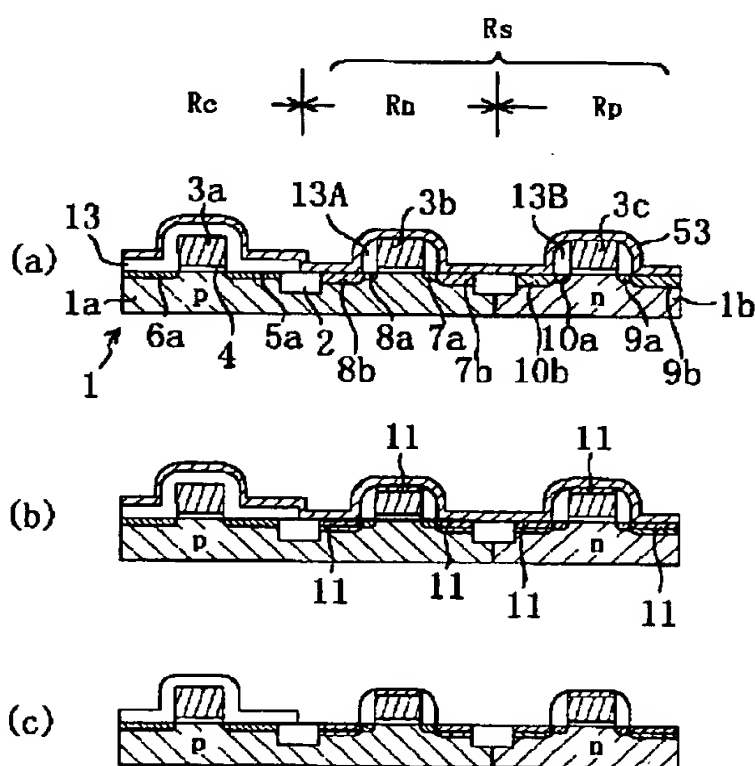
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 半導体基板上にメモリセルとその周辺回路が構成された半導体装置において、ポーズタイムを従来と同等に長く保ちつつ、高速化および低消費電力化を実現する。

【解決手段】 周辺回路領域Rsにおいて、高濃度ソース・ドレイン領域7b、8b、9b、10bを形成するとともに、イオン注入の際に用いたレジストをマスクにしてエッチングを行い、半導体基板1上に形成した第1の酸化膜13を除去する。高融点金属膜としてチタン(Ti)膜53を半導体基板1上に堆積させて熱処理し、高融点金属のシリサイド膜としてTiSi<sub>2</sub>膜11を周辺回路領域Rsのソース・ドレイン領域上に形成する。メモリセル領域Rcでは第1の酸化膜13が残置しているため、TiSi<sub>2</sub>膜11は形成されない。すなわち、メモリセル領域Rcの低濃度ドレイン領域6aと接続される電荷蓄積電極においてリーク電流の増大を抑制しつつ、周辺回路領域Rsのソース・ドレイン領域のシート抵抗を低減することができる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に、ともにMOS構造を有するメモリセルおよび周辺回路が設けられた半導体装置であって、

メモリセル領域において、ドレイン領域と接続された電荷蓄積電極が形成されており、

周辺回路領域におけるソース・ドレイン領域上には高融点金属のシリサイド膜または高融点金属膜が形成されている一方、メモリセル領域における前記電荷蓄積電極と接続されたドレイン領域上には、高融点金属のシリサイド膜および高融点金属膜は設けられていないことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、周辺回路領域におけるゲート電極上に、前記高融点金属のシリサイド膜または高融点金属膜が形成されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、周辺回路領域におけるゲート電極は、多結晶シリコン膜と高融点金属のシリサイド膜または高融点金属膜との積層構造によって構成されていることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、メモリセル領域において、前記電荷蓄積電極およびこの電荷蓄積電極と接続されたドレイン領域を覆うように、プレート電極が形成されており、前記プレート電極上に、前記高融点金属のシリサイド膜または高融点金属膜が形成されていることを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、メモリセル領域において、ソース領域と接続されたビット線が形成されており、前記ビット線と接続されたソース領域上には、前記高融点金属のシリサイド膜または前記高融点金属膜が形成されていることを特徴とする半導体装置。

【請求項6】 半導体基板上に、ともにMOS構造を有するメモリセルおよび周辺回路が設けられた半導体装置を製造する半導体装置の製造方法であって、半導体基板上にゲート電極を形成する工程と、前記半導体基板のメモリセル領域における表面にドレイン領域を形成する工程と、

前記半導体基板上に、絶縁膜を形成する工程と、前記半導体基板上にメモリセル領域を覆うレジストを形成し、周辺回路領域において、前記レジストおよびゲート電極をマスクにしたイオン注入によって半導体基板表面にソース・ドレイン領域を形成するとともに、前記レジストをマスクにして前記絶縁膜をエッチングし、前記レジストを除去する工程と、前記半導体基板上に高融点金属膜を形成して熱処理を行い、前記絶縁膜が残置していない周辺回路領域におけるソース・ドレイン領域上に、前記高融点金属のシリサイ

ド膜を形成する工程と、

メモリセル領域において、前記ドレイン領域と接続した電荷蓄積電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

高融点金属のシリサイド膜を形成する工程の代わりに、前記絶縁膜が残置していない周辺回路領域におけるソース・ドレイン領域上に、選択化学気相成長法によって、高融点金属膜を形成する工程を備えていることを特徴とする半導体装置の製造方法。

【請求項8】 請求項6記載の半導体装置の製造方法において、

前記ゲート電極は多結晶シリコン膜からなり、高融点金属のシリサイド膜の形成の際に、前記絶縁膜が残置していないゲート電極上に前記高融点金属のシリサイド膜が形成されることを特徴とする半導体装置の製造方法。

【請求項9】 請求項6記載の半導体装置の製造方法において、

前記ゲート電極は、多結晶シリコン膜と高融点金属のシリサイド膜または高融点金属膜との積層構造からなり、かつ、ゲート電極の形成の際に、そのゲート電極上に絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項10】 請求項6記載の半導体装置の製造方法において、

周辺回路領域においてソース・ドレイン領域を形成するとともに前記絶縁膜をエッチングする工程は、半導体基板上にメモリセル領域と周辺回路第1導電型トランジスタ領域とを覆う第1のレジストを形成し、前記絶縁膜を異方性エッチングして、周辺回路第2導電型トランジスタ領域のゲート電極の側壁に、前記絶縁膜を残置させることによってサイドウォールを形成する工程と、

周辺回路第2導電型トランジスタ領域において、前記第1のレジストおよびゲート電極をマスクにしたイオン注入によって、半導体基板表面にソース・ドレイン領域を形成し、前記第1のレジストを除去する工程と、半導体基板上にメモリセル領域と周辺回路第2導電型トランジスタ領域とを覆う第2のレジストを形成し、前記絶縁膜を等方性エッチングおよび異方性エッチングして、周辺回路第1導電型トランジスタ領域のゲート電極の側壁に、前記絶縁膜を残置させることによってサイドウォールを形成する工程と、

周辺回路第1導電型トランジスタ領域において、前記第2のレジストおよびゲート電極をマスクにしたイオン注入によって、半導体基板表面にソース・ドレイン領域を形成し、前記第2のレジストを除去する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板上に、ともにMOS構造を

有するメモリセルおよび周辺回路が設けられた半導体装置を製造する半導体装置の製造方法であって、半導体基板上にゲート電極を形成する工程と、前記半導体基板のメモリセル領域における表面にドレイン領域を形成する工程と、前記半導体基板上に、絶縁膜を形成する工程と、メモリセル領域において、前記ドレイン領域と接続した電荷蓄積電極を前記絶縁膜上に形成する工程と、前記半導体基板上に容量絶縁膜および導電膜を積層し、この導電膜上にメモリセル領域内の所定の領域を覆うプレート電極形成用レジストを形成し、このプレート電極形成用レジストをマスクにして前記導電膜をエッチングし、前記電荷蓄積電極およびこの電荷蓄積電極と接続されたドレイン領域を容量絶縁膜を介して覆うプレート電極を形成する工程と、前記プレート電極形成用レジストまたはプレート電極をマスクにして、前記絶縁膜をエッチングする工程と、前記半導体基板上に高融点金属膜を形成して熱処理を行い、前記絶縁膜が残置していない周辺回路領域におけるソース・ドレイン領域上に、前記高融点金属のシリサイド膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、前記高融点金属のシリサイド膜を形成する前に、前記プレート電極およびゲート電極をマスクにしたイオン注入によって、半導体基板表面にソース・ドレイン領域を形成する工程を備えていることを特徴した半導体装置の製造方法。

【請求項13】 請求項11記載の半導体装置の製造方法において、前記プレート電極は、メモリセル領域において、ビット線と接続されるソース領域上を避けて形成され、前記高融点金属のシリサイド膜の形成の際に、メモリセル領域における前記ビット線と接続されるソース領域上に、前記高融点金属のシリサイド膜が形成されることを特徴とする半導体装置の製造方法。

【請求項14】 請求項11記載の半導体装置の製造方法において、前記ゲート電極は多結晶シリコン膜からなり、前記シリサイド膜の形成の際に、前記ゲート電極上に前記高融点金属のシリサイド膜が形成されることを特徴とする半導体装置の製造方法。

【請求項15】 請求項11記載の半導体装置の製造方法において、前記導電膜は多結晶シリコン膜からなり、前記シリサイド膜の形成の際に、前記導電膜から形成されたプレート電極上に前記高融点金属のシリサイド膜が形成されることを特徴とする半導体装置の製造方法。

【請求項16】 請求項11記載の半導体装置の製造方

法において、

前記絶縁膜のエッチング工程は、前記絶縁膜をエッチングする前に、前記プレート電極形成用レジストを除去して半導体基板上に第2の絶縁膜を形成する工程と、前記絶縁膜とともに前記第2の絶縁膜をエッチングし、前記プレート電極の側壁に、前記第2の絶縁膜を残置させることによってサイドウォールを形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセルとその周辺回路が半導体基板上に構成された半導体装置に関するものであり、特に、配線および活性領域の低抵抗化による高速化および低消費電力化を実現するための構造およびその製造方法に関する。

【0002】

【従来の技術】近年、半導体記憶装置、特にダイナミックランダムアクセスメモリ（以下「DRAM」と記す）において、加工寸法（デザインルール）の微細化を進めることによって、集積度向上、高速化および低消費電力化が図られてきた。

【0003】図17は従来の半導体装置であるDRAMのメモリセルとその周辺回路の領域における断面図である。図17において、Rcはメモリセル領域、RnおよびRpはそれぞれ周辺回路のNMOS領域およびPMOS領域である。また61aおよび61bはそれぞれp型Si基板61のp型ウェル領域およびn型ウェル領域であり、62は素子分離絶縁膜、63a、63b、63cは多結晶シリコンよりなるゲート電極、64はゲート絶縁膜、65aおよび66aはそれぞれメモリセル領域Rcにおけるn型の低濃度ソース領域および低濃度ドレイン領域、67aおよび68aはそれぞれ周辺回路NMOS領域Rnにおけるn型の低濃度ソース領域および低濃度ドレイン領域、69aおよび70aはそれぞれ周辺回路PMOS領域Rpにおけるp型の低濃度ソース領域および低濃度ドレイン領域、67bおよび68bはそれぞれ周辺回路NMOS領域Rnにおけるn型の高濃度ソース領域および高濃度ドレイン領域、69bおよび70bはそれぞれ周辺回路PMOS領域Rpにおけるp型の高濃度ソース領域および高濃度ドレイン領域、73Aは酸化膜のサイドウォール、74は酸化膜、81は電荷蓄積電極、82は容量絶縁膜、83はプレート電極、84はビット線、85a～85eはそれぞれ第1～第5の層間絶縁膜、86a～86cはそれぞれ第1～第3のコンタクトプラグ、87aは第1層配線、87bは第2層配線である。

【0004】図17に示すような構造の半導体装置によると、メモリセル領域Rcにおいて、電荷蓄積電極81と接続するドレイン領域は低濃度領域66aのみで形成

されており、周辺回路領域 $R_n$ 、 $R_p$ のドレイン領域のように高濃度領域は形成されていない。このため、ドレイン側の空乏層の広がりは大いなので電位勾配も急峻ではなく、また、注入欠陥も少ないため、接合リークが低く電荷蓄積電極81に蓄積された電荷のもれが少ないので、電荷の保持時間（以下「ポーズタイム」という）が長い。

【0005】一方、ゲート電極63a、63b、63cは多結晶シリコン膜によって形成されているので、そのシート抵抗は金属等に比べて高い。また、周辺回路領域 $R_n$ 、 $R_p$ における高濃度ソース領域68a、69aおよび高濃度ドレイン領域68b、69bのシート抵抗も同様に高い。

【0006】これまでは、トランジスタのゲート長の微細化によってトランジスタの動作時の抵抗（以下「オン抵抗」という）を小さくすることによって、トランジスタの動作速度や消費電力を向上させてきた。ところが一方、従来では問題にならなかったゲート電極やソース・ドレイン領域のシート抵抗が微細化とともに高くなり、小さくなったトランジスタのオン抵抗とほぼ同等の大きさになってきた。このため、ゲート電極やソース・ドレイン領域のシート抵抗がトランジスタの動作速度および消費電力を決める主たる要因となりつつあり、これ以上微細化を進めても、トランジスタの動作速度や消費電力の向上は困難になってきている。

【0007】また昨今、MPU（Micro Processing Unit）等の高速なLOGIC系回路とDRAMとが同一チップ上に形成されたDRAM-LOGIC混載チップの需要が増加しているが、このDRAM-LOGIC混載チップに前記のような構造を用いると、ゲート電極やソース・ドレイン領域のシート抵抗が高いためにLOGIC系回路の動作速度が十分に得られないという問題が生じる。

【0008】一方、従来から、例えばMPU等のチップにおいてLOGIC系回路の動作速度を向上させるために、ゲート電極やソース・ドレイン領域上にシリサイド膜を形成し、これらのシート抵抗を低減するというシリサイド技術が利用されている。

【0009】図18はこのようなシリサイド技術を図17に示すDRAMにそのまま適用した場合の、メモリセルおよびその周辺回路の領域における断面図である。図18において、図17に示す半導体装置と共通の構成要素には図17と同一の符号を付している。図18に示すように、各ゲート電極および各ドレイン・ソース領域上に $TiSi_2$ 膜71が形成されている。

【0010】以下、図18に示すような構造のDRAMの製造方法の従来例について、図面を参照しながら説明する。図19および図20は図18に示す構造のDRAMの製造方法の従来例を示す工程順断面図である。

【0011】まず図19（a）に示すように、p型ウェ

ル領域61a、n型ウェル領域61bおよび素子分離絶縁膜62が形成されたp型Si基板61上にゲート絶縁膜64および多結晶シリコンよりなるゲート電極63a、63b、63cを形成する。その後、メモリセル領域 $R_c$ および周辺回路NMOS領域 $R_n$ においてn型低濃度ソース・ドレイン領域65a、66a、67a、68aを形成するとともに、周辺回路PMOS領域 $R_p$ においてp型低濃度ソース・ドレイン領域69a、70aを形成し、さらに基板表面全面に酸化膜73を減圧化学気相成長法（以下「LPCVD法」という）によって形成する。

【0012】その後、図19（b）に示すように、異方性ドライエッチングによって酸化膜73を除去し、ゲート電極63a、63b、63cの側壁にのみ酸化膜73を残置させることによって、酸化膜のサイドウォール73Aを形成する。

【0013】その後、図19（c）に示すように、フォトリソグラフィ法によって、メモリセル領域 $R_c$ と周辺回路PMOS領域 $R_p$ を覆うレジスト91を形成し、このレジスト91とゲート電極63bおよびこのゲート電極63bの側壁に形成されたサイドウォール73Aとをマスクにして、n型高濃度不純物例えばヒ素Asをイオン注入し、高濃度ソース・ドレイン領域67b、68bを形成し、レジスト91を除去する。

【0014】次に、図19（d）に示すように、フォトリソグラフィ法によって、メモリセル領域 $R_c$ と周辺回路NMOS領域 $R_n$ を覆うレジスト92を形成し、このレジスト92とゲート電極63cおよびこのゲート電極63cの側壁に形成されたサイドウォール73Aとをマスクにして、p型高濃度不純物例えばボロンBを $BF_3^+$ のイオンを用いて注入し、図20（a）に示すように、高濃度ソース・ドレイン領域69b、70bを形成し、レジスト92を除去する。

【0015】その後、図20（b）に示すように、基板表面全面にチタン（Ti）膜93をスパッタ法によって堆積し、RTA（Rapid Thermal Anneal）法によって熱処理し、シリサイド化することによって、ゲート電極63a、63b、63c上、メモリセル領域 $R_c$ における低濃度ソース・ドレイン領域65a、65b上、および周辺回路領域 $R_n$ 、 $R_p$ における高濃度ソース・ドレイン領域67b、68b、69b、70b上に $TiSi_2$ 膜71を形成し、未反応のTi膜93およびRTA法による熱処理時にTi膜93表面に形成される窒化チタン（TiN）膜を除去する。

【0016】その後、第2の酸化膜74および第1の層間絶縁膜85aを基板表面全面に形成する。その後、メモリセル領域 $R_c$ における低濃度ドレイン領域66aに接続するコンタクト孔を開口し、電荷蓄積電極81、容量絶縁膜82およびプレート電極83を形成する。この際、容量絶縁膜82としては $Si_3N_4$ 膜と $SiO_2$ 膜

との積層膜が従来からよく用いられている。

【0017】その後、第2の層間絶縁膜85bを基板表面全面に形成し、メモリセル領域Rcにおける低濃度ソース領域65aおよび周辺回路領域Rn, Rpにおける高濃度ソース・ドレイン領域67b, 68b, 69b, 70bに接続するコンタクト孔を開口し、第1のコンタクトプラグ86aおよびビット線84を形成する。

【0018】その後、第3の層間絶縁膜85cを基板表面全面に形成し、周辺回路領域Rn, Rpにおける高濃度ソース・ドレイン領域67b, 68b, 69b, 70bまたはゲート電極63b, 63cに接続するコンタクト孔を開口し、第2のコンタクトプラグ86bおよび第1層配線87aを形成する。

【0019】その後、第4の層間絶縁膜85dを基板表面全面に形成し、第1層配線87aに接続するコンタクト孔を開口し、第3のコンタクトプラグ86cおよび第2層配線87bを形成し、その表面全面に第5の層間絶縁膜85eを形成する。

【0020】

【発明が解決しようとする課題】しかしながら、前記のような従来の半導体装置の構造によると、メモリセル領域Rcにおける低濃度ソース・ドレイン領域65a, 66a上に $TiSi_2$ 膜71が形成されているが、この低濃度領域65a, 66aでは周辺回路領域Rn, Rpにおける高濃度領域67b, 68b, 69b, 70bよりも、接合深さが浅く、かつ、バイアス印加時のソース・ドレイン側の空乏層幅も大きい。したがって、 $TiSi_2$ 膜71が接合深さよりも厚くなって接合を突き破ったり、 $TiSi_2$ 膜71が接合深さよりも薄い場合でも、バイアス印加によって空乏層が $TiSi_2$ 膜71まで広がり、接合リークが増大するという欠点がある。

【0021】またシリサイド化反応ではSi原子の移動を伴うため、少なからずSi基板に空孔などの欠陥が発生する。またSi基板にかかるストレスも変化し、Si基板の結晶にも歪みが生じる。このような欠陥や歪みが発生すると、接合リークの増大を引き起こし、特に、メモリセル領域Rcの電荷蓄積電極81と接続する低濃度ドレイン領域66aにおける接合リークの増大は、電荷蓄積電極81に蓄積された電荷のもれの増大を引き起こし、このためポーズタイムが短くなるという問題が生じる。

【0022】また、従来の製造方法では、容量絶縁膜82として $Si_3N_4$ 膜と $SiO_2$ 膜との積層膜を用いている。ところが、 $SiO_2$ 膜形成時の工程温度は800℃以上になるため、この $SiO_2$ 膜形成工程において、前工程で形成した $TiSi_2$ 膜71が凝集して高抵抗化してしまうという問題がある。

【0023】前記のような問題に鑑み、本発明は、半導体基板上にメモリセルおよびその周辺回路が構成された半導体装置において、ポーズタイムを従来と同等に長く

保ちつつ、高速化および低消費電力化を実現するものである。

【0024】

【課題を解決するための手段】前記の課題を解決するため、請求項1の発明が講じた手段は、半導体基板上に、ともにMOS構造を含むメモリセルおよび周辺回路が設けられた半導体装置として、メモリセル領域において、ドレイン領域と接続された電荷蓄積電極が形成されており、周辺回路領域におけるソース・ドレイン領域上には高融点金属のシリサイド膜または高融点金属膜が形成されている一方、メモリセル領域における前記電荷蓄積電極と接続されたドレイン領域上には、高融点金属のシリサイド膜および高融点金属膜は設けられていないものである。

【0025】請求項1の発明によると、周辺回路領域におけるソース・ドレイン領域上には高融点金属のシリサイド膜または高融点金属膜が形成されているので、ソース・ドレイン領域のシート抵抗が低抵抗化され、これにより、半導体装置の高速化および低消費電力化が実現される。一方、メモリセル領域における前記電荷蓄積電極と接続されたドレイン領域上には、高融点金属のシリサイド膜および高融点金属膜は設けられていないため、接合リークは従来と同等に低く、接合リーク増大に起因する電荷のもれの増大は生じないので、ポーズタイムが短くなることはない。したがって、ポーズタイムは従来と同等に長く保たれたまま、高速化および低消費電力化が実現される。

【0026】そして、請求項2の発明では、前記請求項1の半導体装置の周辺回路領域におけるゲート電極上に、前記高融点金属のシリサイド膜または高融点金属膜が形成されているものとする。

【0027】請求項2の発明によると、周辺回路領域におけるゲート電極上に高融点金属のシリサイド膜または高融点金属膜が形成されているため、ゲート電極の配線抵抗も低抵抗化されるので、ポーズタイムは従来と同等に長く保たれたまま、さらなる高速化および低消費電力化が実現される。

【0028】また、請求項3の発明では、前記請求項1の半導体装置の周辺回路領域におけるゲート電極は、多結晶シリコン膜と高融点金属のシリサイド膜または高融点金属膜との積層構造によって構成されているものとする。

【0029】請求項3の発明によると、周辺回路領域におけるゲート電極は多結晶シリコン膜と高融点金属のシリサイド膜または高融点金属膜との積層構造によって構成されているため、ゲート電極の配線抵抗も低抵抗化されるので、ポーズタイムは従来と同等に長く保たれたまま、さらなる高速化および低消費電力化が実現される。

【0030】そして、請求項4の発明では、前記請求項1の半導体装置のメモリセル領域において、前記電荷蓄



積電極およびこの電荷蓄積電極と接続されたドレイン領域を覆うようにプレート電極が形成されており、前記プレート電極上に前記高融点金属のシリサイド膜または高融点金属膜が形成されているものとする。

【0031】請求項4の発明によると、前記電荷蓄積電極およびこの電荷蓄積電極と接続されたドレイン領域の上方に形成されたプレート電極上に、前記高融点金属のシリサイド膜または高融点金属膜が形成されているため、プレート電極も低抵抗化することができるので、ポーズタイムは従来と同等に長く保たれたまま、さらなる高速化および低消費電力化が実現される。

【0032】また、請求項5の発明では、前記請求項1の半導体装置のメモリセル領域において、ソース領域と接続されたビット線が形成されており、前記ビット線と接続されたソース領域上に前記高融点金属のシリサイド膜または前記高融点金属膜が形成されているものとする。

【0033】請求項5の発明によると、メモリセル領域において、ビット線と接続されたソース領域上に前記高融点金属のシリサイド膜または前記高融点金属膜が形成されているため、ビット線材料とSi基板との反応を防ぐことができ、安定したコンタクトを実現できるとともに、低抵抗であるがSiと反応するTi, W, Al等の金属膜をそのままビット線材料として用いることができるので、コンタクトおよび配線の低抵抗化を実現することができる。

【0034】また、請求項6の発明が講じた解決手段は、半導体基板上に、ともにMOS構造を有するメモリセルおよび周辺回路が設けられた半導体装置を製造する半導体装置の製造方法として、半導体基板上にゲート電極を形成する工程と、前記半導体基板のメモリセル領域における表面にドレイン領域を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、前記半導体基板上にメモリセル領域を覆うレジストを形成し、周辺回路領域において、前記レジストおよびゲート電極をマスクにしたイオン注入によって半導体基板表面にソース・ドレイン領域を形成するとともに、前記レジストをマスクにして前記絶縁膜をエッチングし、前記レジストを除去する工程と、前記半導体基板上に高融点金属膜を形成して熱処理を行い、前記絶縁膜が残置していない周辺回路領域におけるソース・ドレイン領域上に前記高融点金属のシリサイド膜を形成する工程と、メモリセル領域において、前記ドレイン領域と接続した電荷蓄積電極を形成する工程とを備えているものとする。

【0035】請求項6の発明によると、周辺回路領域におけるソース・ドレイン領域形成のためのイオン注入の際に用いたレジストをそのままマスクにして、周辺回路領域における絶縁膜をエッチングするため、前記絶縁膜はメモリセル領域のみに残置され、周辺回路領域では半導体基板の表面が露出する。このため、高融点金属膜を

半導体基板上に形成して熱処理を行った結果、高融点金属のシリサイド膜は、周辺回路領域におけるソース・ドレイン領域上には形成される一方、メモリセル領域において前記絶縁膜に覆われたドレイン領域上には形成されない。したがって、周辺回路領域におけるソース・ドレイン領域上に高融点金属のシリサイド膜が形成されている一方、メモリセル領域における電荷蓄積電極と接続されたドレイン領域上には、高融点金属のシリサイド膜は形成されていない半導体装置を、少ない工程数で製造することができる。

【0036】そして、請求項7の発明では、前記請求項6の半導体装置の製造方法において、高融点金属のシリサイド膜を形成する工程の代わりに、前記絶縁膜が残置していない周辺回路領域におけるソース・ドレイン領域上に、選択化学気相成長法によって、高融点金属膜を形成する工程を備えているものとする。

【0037】請求項7の発明によると、高融点金属膜は、周辺回路領域におけるソース・ドレイン領域上には形成される一方、メモリセル領域において前記絶縁膜に覆われたドレイン領域上には形成されない。したがって、周辺回路領域におけるソース・ドレイン領域上に高融点金属膜が形成されている一方、メモリセル領域における電荷蓄積電極と接続されたドレイン領域上には、高融点金属膜は形成されていない半導体装置を、少ない工程数で製造することができる。

【0038】そして、請求項8の発明では、前記請求項6の半導体装置の製造方法において、前記ゲート電極は多結晶シリコン膜からなり、高融点金属のシリサイド膜の形成の際に、前記絶縁膜が残置していないゲート電極上に前記高融点金属のシリサイド膜が形成されるものとする。

【0039】また、請求項9の発明では、前記請求項6の半導体装置の製造方法において、前記ゲート電極は、多結晶シリコン膜と高融点金属のシリサイド膜または高融点金属膜との積層構造からなり、かつ、ゲート電極の形成の際に、そのゲート電極上に絶縁膜を形成するものとする。

【0040】請求項9の発明によると、ゲート電極の配線幅を微細化したとき、高融点金属のシリサイド膜の凝集による配線抵抗の上昇は生じないので、ゲート電極を微細化することができる。

【0041】そして、請求項10の発明では、前記請求項6の半導体装置の製造方法における、周辺回路領域においてソース・ドレイン領域を形成するとともに前記絶縁膜をエッチングする工程は、半導体基板上にメモリセル領域と周辺回路領域の第1導電型トランジスタ領域とを覆う第1のレジストを形成し、前記絶縁膜を異方性エッチングして、周辺回路領域の第2導電型トランジスタ領域のゲート電極の側壁に、前記絶縁膜を残置させることによってサイドウォールを形成する工程と、周辺回路

領域の第2導電型トランジスタ領域において、前記第1のレジストおよびゲート電極をマスクにしたイオン注入によって、半導体基板表面にソース・ドレイン領域を形成し、前記第1のレジストを除去する工程と、半導体基板上にメモリセル領域と周辺回路領域の第2導電型トランジスタ領域とを覆う第2のレジストを形成し、前記絶縁膜を等方性エッチングおよび異方性エッチングして、周辺回路領域の第1導電型トランジスタ領域のゲート電極の側壁に、前記絶縁膜を残置させることによってサイドウォールを形成する工程と、周辺回路領域の第1導電型トランジスタ領域において、前記第2のレジストおよびゲート電極をマスクにしたイオン注入によって、半導体基板表面にソース・ドレイン領域を形成し、前記第2のレジストを除去する工程とを備えているものとする。

【0042】請求項10の発明によると、周辺回路第1導電型トランジスタ領域における前記絶縁膜のエッチングは、等方性エッチングおよび異方性エッチングによって行う一方、周辺回路第2導電型トランジスタ領域における前記絶縁膜のエッチングは、異方性エッチングによって行うので、周辺回路の第1導電型トランジスタ領域と第2導電型トランジスタ領域とにおいて、ゲート電極側壁にそれぞれ異なる膜厚のサイドウォールを形成することができる。周辺回路領域におけるソース・ドレイン領域はゲート電極をマスクにして形成されるため、サイドウォールの膜厚によってその寸法を変えることができる。したがって、第1導電型および第2導電型それぞれのトランジスタに適した寸法のソース・ドレイン領域を形成することができる。

【0043】また、請求項11の発明が講じた解決手段は、半導体基板上に、ともにMOS構造を有するメモリセルおよび周辺回路が設けられた半導体装置を製造する半導体装置の製造方法として、半導体基板上にゲート電極を形成する工程と、前記半導体基板のメモリセル領域における表面にドレイン領域を形成する工程と、前記半導体基板上に絶縁膜を形成する工程と、メモリセル領域において、前記ドレイン領域と接続した電荷蓄積電極を前記絶縁膜上に形成する工程と、前記半導体基板上に容量絶縁膜および導電膜を積層し、この導電膜上にメモリセル領域内の所定の領域を覆うプレート電極形成用レジストを形成し、このプレート電極形成用レジストをマスクにして前記導電膜をエッチングし、前記電荷蓄積電極を前記容量絶縁膜を介して覆うプレート電極を形成する工程と、前記プレート電極形成用レジストまたはプレート電極をマスクにして、前記絶縁膜をエッチングする工程と、前記半導体基板上に高融点金属膜を形成して熱処理を行い、前記絶縁膜が残置していない周辺回路領域におけるソース・ドレイン領域上に前記高融点金属のシリサイド膜を形成する工程とを備えているものである。

【0044】請求項11の発明によると、前記電荷蓄積電極およびこの電荷蓄積電極と接続されたドレイン領域

を容量絶縁膜を介して覆うプレート電極、またはこのプレート電極を形成するためのプレート電極形成用レジストをマスクにして、周辺回路領域における絶縁膜をエッチングするため、メモリセル領域のプレート電極で覆われた領域以外で前記絶縁膜が除去され、半導体基板表面が露出する。このため、高融点金属膜を半導体基板上に形成して熱処理を行った結果、高融点金属のシリサイド膜は、周辺回路領域におけるソース・ドレイン領域上には形成される一方、メモリセル領域において前記プレート電極で覆われたドレイン領域上には形成されない。したがって、周辺回路領域におけるソース・ドレイン領域上に高融点金属のシリサイド膜が形成されている一方、メモリセル領域における電荷蓄積電極と接続されたドレイン領域上には、高融点金属のシリサイド膜は形成されていない半導体装置を、少ない工程数で製造することができる。また、高融点金属のシリサイド膜の形成は容量絶縁膜の形成の後に行われるため、容量絶縁膜の熱処理が高融点金属のシリサイド膜の凝集を引き起こすことはなく、このため、容量絶縁膜として従来と同様のものを用いることができる。

【0045】また、請求項12の発明では、前記請求項11の半導体装置の製造方法は、前記高融点金属のシリサイド膜を形成する前に、前記プレート電極およびゲート電極をマスクにしたイオン注入によって、半導体基板表面にソース・ドレイン領域を形成する工程を備えているものとする。

【0046】そして、請求項13の発明では、前記請求項11の半導体装置の製造方法において、前記プレート電極は、メモリセル領域において、ビット線と接続されるソース領域上を避けて形成され、前記高融点金属のシリサイド膜の形成の際に、メモリセル領域における前記ビット線と接続されるソース領域上に前記高融点金属のシリサイド膜が形成されるものとする。

【0047】また、請求項14の発明では、前記請求項11の半導体装置の製造方法において、前記ゲート電極は多結晶シリコン膜からなり、前記シリサイド膜の形成の際に前記ゲート電極上に前記高融点金属のシリサイド膜が形成されるものとする。

【0048】そして、請求項15の発明では、前記請求項11の半導体装置の製造方法において、前記導電膜は多結晶シリコン膜からなり、前記シリサイド膜の形成の際に、前記導電膜から形成されたプレート電極上に前記高融点金属のシリサイド膜が形成されるものとする。

【0049】また、請求項16の発明では、前記請求項11の半導体装置の製造方法における絶縁膜のエッチング工程は、前記絶縁膜をエッチングする前に、前記プレート電極形成用レジストを除去して半導体基板上に第2の絶縁膜を形成する工程と、前記絶縁膜とともに前記第2の絶縁膜をエッチングし、前記プレート電極の側壁に、前記第2の絶縁膜を残置させることによってサイドウォー



ルを形成する工程とを備えているものとする。

【0050】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0051】(第1の実施形態)図1は本発明の第1の実施形態に係る半導体装置であるダイナミックランダムアクセスメモリ(以下「DRAM」と記す)のメモリセルとその周辺回路の領域における断面図である。図1において、Rcはメモリセルが構成されたメモリセル領域、Rsは周辺回路が構成された周辺回路領域であり、ともにMOS構造を有している。周辺回路領域RsはNMOS領域RnとPMOS領域Rpとに分かれている。

【0052】また、1は半導体基板としてのp型Si基板、1aおよび1bはp型Si基板1のそれぞれp型ウェル領域とn型ウェル領域、2は素子分離絶縁膜、3a、3b、3cは多結晶シリコンからなるゲート電極、4はゲート絶縁膜、5aおよび6aはそれぞれメモリセル領域Rcにおけるn型の低濃度ソース領域および低濃度ドレイン領域、7aおよび8aはそれぞれ周辺回路NMOS領域Rnにおけるn型の低濃度ソース領域および低濃度ドレイン領域、7bおよび8bはそれぞれ周辺回路NMOS領域Rnにおけるn型の高濃度ソース領域および高濃度ドレイン領域、9aおよび10aはそれぞれ周辺回路PMOS領域Rpにおけるp型の低濃度ソース領域および低濃度ドレイン領域、9bおよび10bはそれぞれ周辺回路PMOS領域Rpにおけるp型の高濃度ソース領域および高濃度ドレイン領域である。

【0053】メモリセル領域Rcにおいて、n型の低濃度ソース領域5aによってソース領域5が構成され、n型の低濃度ドレイン領域6aによってドレイン領域6が構成されている。また、周辺回路NMOS領域Rnにおいて、n型の低濃度ソース領域7aおよび高濃度ソース領域7bによってソース領域7が構成され、n型の低濃度ドレイン領域8aおよび高濃度ドレイン領域8bによってドレイン領域8が構成されている。さらに、周辺回路PMOS領域Rpにおいて、p型の低濃度ソース領域9aおよび高濃度ソース領域9bによってソース領域9が構成され、p型の低濃度ドレイン領域10aおよび高濃度ドレイン領域10bによってドレイン領域10が構成されている。

【0054】また、11はTiSi<sub>2</sub>膜、13は第1の酸化膜、13Aおよび13Bは酸化膜のサイドウォール、14は第2の酸化膜、21は電荷蓄積電極、22は容量絶縁膜、23はプレート電極、24はビット線、25a~25eはそれぞれ第1~第5の層間絶縁膜、26a~26cはそれぞれ第1~第3のコンタクトプラグ、27aは第1層配線、27bは第2層配線である。

【0055】図1に示すような構造の半導体装置によると、メモリセル領域Rcにおけるソース・ドレイン領域5、6上には高融点金属のシリサイド膜が形成されてい

ないため、メモリセル領域Rcでは、接合リークが従来と同等に低く、ポーズタイムが従来と同等に長い。

【0056】一方、周辺回路領域Rsのソース・ドレイン領域7、8、9、10上には高融点金属のシリサイド膜としてのTiSi<sub>2</sub>膜11が形成されている。これらのソース・ドレイン領域7、8、9、10は高濃度領域7b、8b、9b、10bをそれぞれ有しているため、低濃度領域5a、6aのみからなるメモリセル領域Rcのソース・ドレイン領域5、6よりも、接合深さが深く、かつ、ソースおよびドレイン側の空乏層幅も小さい。このため、接合リークの問題は無く、低抵抗を実現できる。また周辺回路領域Rsのゲート電極3b、3c上にもTiSi<sub>2</sub>膜11が形成されているため、ゲート電極3b、3cの配線抵抗の低抵抗化を実現することができる。

【0057】以下、本発明の第1の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。

【0058】図2および図3は本発明の第1の実施形態に係る半導体装置の製造方法であって、図1に示す半導体装置を製造する方法を示す工程順断面図である。

【0059】まず、p型ウェル領域1a、n型ウェル領域1bおよび素子分離絶縁膜2が形成されたp型Si基板1上にゲート絶縁膜4および多結晶シリコンからなるゲート電極3a、3b、3cを形成し、次に、メモリセル領域Rcにおいてn型低濃度ソース領域5aおよびn型低濃度ドレイン領域6aを形成し、周辺回路NMOS領域Rnにおいてn型低濃度ソース領域7aおよびn型低濃度ドレイン領域8aを形成するとともに、周辺回路PMOS領域Rpにおいてp型低濃度ソース領域9aおよびp型低濃度ドレイン領域10aを形成し、さらにその表面全面に絶縁膜としての第1の酸化膜13を減圧化学気相成長法(以下「LPCVD法」という)によって形成する。

【0060】次に図2(a)に示すように、フォトリソグラフィ法によって、メモリセル領域Rcおよび周辺回路PMOS領域Rpを覆うレジスト51を形成し、このレジスト51とゲート電極3bおよびこのゲート電極3bの側壁部の第1の酸化膜13とをマスクにして、n型高濃度不純物例えばヒ素Asをイオン注入し、n型高濃度ソース領域7bおよびn型高濃度ドレイン領域8bを形成する。このようにして形成した周辺回路NMOS領域Rnにおけるドレイン領域8は、n型高濃度ドレイン領域8bのチャネル近傍にn型低濃度ドレイン領域8aが設けられたLDD(Lightly Doped Drain)構造になっているため、ドレイン近傍の電界が緩和され、ドレイン耐圧等に高信頼性が実現できる。

【0061】次に図2(b)に示すように、レジスト51をマスクにして、異方性ドライエッチングによって、周辺回路NMOS領域Rnにおけるゲート電極3b上、

並びにn型高濃度ソース領域7bおよびn型高濃度ドレイン領域8b上の第1の酸化膜13を除去し、ゲート電極3bの側壁にのみ第1の酸化膜13を残置させ、サイドウォール13Aを形成する。その後、レジスト51を除去する。

【0062】次に図2(c)に示すように、フォトリソグラフィ法によって、メモリセル領域Rcおよび周辺回路NMOS領域Rnを覆うレジスト52を形成し、このレジスト52とゲート電極3cおよびこのゲート電極3cの側壁部の第1の酸化膜13とをマスクにして、p型高濃度不純物例えばボロンBを $\text{BF}_3$ のイオンを用いて注入し、p型高濃度ソース領域9bおよびp型高濃度ドレイン領域10bを形成する。このようにして形成した周辺回路PMOS領域Rpにおけるドレイン領域10は、周辺回路NMOS領域Rnにおけるドレイン領域8と同様に、p型高濃度ドレイン領域10bのチャネル近傍にp型低濃度ドレイン領域10aが設けられたLDD構造になっている。

【0063】次に図2(d)に示すように、レジスト52をマスクにして、異方性ドライエッチングによって、周辺回路PMOS領域Rpにおけるゲート電極3c上、並びにp型高濃度ソース領域9bおよびp型高濃度ドレイン領域10b上の第1の酸化膜13を除去し、ゲート電極3cの側壁にのみ第1の酸化膜13を残置させ、サイドウォール13Bを形成する。その後、レジスト52を除去する。

【0064】次に図3(a)に示すように、基板表面全面にチタン(Ti)膜53をスパッタ法によって堆積し、RTA(Rapid Thermal Anneal)法によって熱処理する。この結果、図3(b)に示すように、シリサイド化によって、周辺回路領域Rsにおける、ゲート電極3b、3c上、並びに高濃度ソース・ドレイン領域7b、8b、9bおよび10b上にのみ、 $\text{TiSi}_2$ 膜11が形成される。このとき、メモリセル領域Rcの低濃度ソース・ドレイン領域5a、6a上では、第1の酸化膜13が形成されているため、RTA法による熱処理時にTi膜53とSi基板とは反応せず、シリサイド膜は形成されない。その後、図3(c)に示すように、未反応のTi膜53およびRTA法による熱処理時にTi膜53表面に形成された窒化チタン(TiN)膜を除去する。

【0065】その後、図示しないが、第2の酸化膜14および第1の層間絶縁膜25aを基板表面全面に形成し、CMP(Chemical Mechanical Polishing)法によって平坦化を行う。次にメモリセル領域Rcのドレイン領域6に接続するコンタクト孔を開口し、電荷蓄積電極21、容量絶縁膜22およびプレート電極23を形成する。次に第2の層間絶縁膜25bを基板表面全面に形成し、CMP法によって平坦化を行い、メモリセル領域Rcのソース領域5、並びに周辺回路領域Rsのソース・

ドレイン領域7、8、9、10に接続するコンタクト孔を開口し、第1のコンタクトプラグ26aおよびビット線24を形成する。

【0066】その後、第3の層間絶縁膜25cを基板表面全面に形成し、CMP法によって平坦化を行い、周辺回路領域Rsのソース・ドレイン領域7、8、9、10またはゲート電極3b、3cに接続するコンタクト孔を開口し、第2のコンタクトプラグ26bおよび第1層配線27aを形成する。次に第4の層間絶縁膜25dを基板表面全面に形成し、CMP法によって平坦化を行い、第1層配線27aに接続するコンタクト孔を開口し、第3のコンタクトプラグ26cおよび第2層配線27bを形成し、その表面全面に第5の層間絶縁膜25eを形成する。

【0067】ここで、 $\text{TiSi}_2$ 膜11が凝集して高抵抗化しないためには、 $\text{TiSi}_2$ 膜11形成後の工程温度が750℃以下であることが必要になる。したがって、第2の酸化膜14および第1～第5の層間絶縁膜25a～25eの形成工程および平坦化工程における工程温度は750℃以下であり、また容量絶縁膜22は $\text{Ta}_2\text{O}_5$ やBST( $\text{BaSrTiO}_3$ )等の750℃以下で形成できる膜であるものとする。

【0068】以上のように、本発明の第1の実施形態に係る半導体装置の製造方法によると、周辺回路領域Rsにおける高濃度領域7b、8b、9b、10b形成のためのイオン注入の際に用いたレジスト51、52をそのままマスクにして、周辺回路領域Rsにおける第1の酸化膜13をドライエッチングする一方、メモリセル領域Rcには第1の酸化膜13を残置させる。これによって、メモリセル領域Rcのソース・ドレイン領域5、6上にシリサイド膜を形成せずに、周辺回路領域Rsのゲート電極3b、3cおよびソース・ドレイン領域7、8、9、10上に $\text{TiSi}_2$ 膜11を形成することができ

【0069】なお本実施形態では、高融点金属のシリサイド膜として $\text{TiSi}_2$ 膜11を形成する場合を示したが、Ti膜53の代わりにコバルト(Co)等の他の高融点金属膜を用いることによって、この高融点金属のシリサイド膜を $\text{TiSi}_2$ 膜11の代わりに形成することができるというまでもない。

【0070】(第2の実施形態) 本発明の第2の実施形態は、第1の実施形態に係る半導体装置において、 $\text{TiSi}_2$ 膜11の代わりにW膜を形成するものである。以下、本発明の第2の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。

【0071】図4は本発明の第2の実施形態に係る半導体装置の製造方法であって、図1に示す半導体装置において $\text{TiSi}_2$ 膜11の代わりにW膜が形成されたものを製造する方法を示す工程順断面図である。

【0072】第1の実施形態に係る図2(a)～(d)

に示す工程順に従い、図4(a)に示すように、周辺回路領域 $R_s$ に高濃度ソース・ドレイン領域7b, 8b, 9b, 10bを形成し、メモリセル領域 $R_c$ にのみ第1の酸化膜13を残置させるとともに、周辺回路領域 $R_s$ のゲート電極3b, 3cの側壁に第1の酸化膜13を残置させてサイドウォール13A, 13Bを形成し、レジスト52を除去する。

【0073】その後、図4(b)に示すように、選択化学気相成長法(選択CVD法)によって、周辺回路領域 $R_s$ のゲート電極3b, 3c上、並びに高濃度ソース・ドレイン領域7b, 8b, 9b, 10b上に高融点金属膜としてのW膜12を形成する。このとき、メモリセル領域 $R_c$ の低濃度ソース・ドレイン領域5a, 6a上には第1の酸化膜13が形成されているため、W膜12は形成されない。

【0074】その後は第1の実施形態と同様に、第2の酸化膜14および第1の層間絶縁膜25aを基板表面全面に形成し、CMP法によって平坦化を行い、以降、電荷蓄積電極21、容量絶縁膜22、プレート電極23、ビット線24、第1層配線27a等を形成する。

【0075】ここで、W膜12が下地の多結晶シリコン膜またはSi基板と反応して凝集などが生じないようにするためには、W膜12形成後の工程温度は750℃以下である必要がある。したがって、第2の酸化膜14および第1～第5の層間絶縁膜25a～25eの形成工程および平坦化工程における温度は750℃以下であり、また容量絶縁膜22は $Ta_2O_5$ やBST等の750℃以下で形成できる膜であるものとする。

【0076】以上のように、本発明の第2の実施形態に係る半導体装置の製造方法によると、選択CVD法を用いることによって、所望の領域にのみW膜12を形成できるので、工程数を大幅に低減することができる。

【0077】また第1の実施形態に示すような、Ti膜53を基板表面全面に堆積してRTA法によってTiSi<sub>2</sub>膜11を所望の領域に形成する方法では、TiとSiの反応時にSi基板のSi原子がTi膜53側に移動し、これにより、TiSi<sub>2</sub>膜11が基板表面全面に形成したTi膜53を伝って酸化膜のサイドウォール13A, 13B上または素子分離絶縁膜2上にはい上がってしまう。したがって、デバイスの微細化が進むと、隣接するソース、ドレイン領域又はゲート電極上のTiSi<sub>2</sub>膜11同士が接触し短絡してしまう可能性がある。しかし、本実施形態に示すような選択CVD法による成膜方法では、Si基板および多結晶シリコンのゲート電極上にのみW膜12が形成されるので、微細化が進んでも、隣接するソース、ドレイン領域又はゲート電極上のW膜12同士が接触、短絡することはない。

【0078】なお本実施形態では、選択CVD法によって形成する高融点金属膜はW膜12である場合を示したが、W膜12の代わりに他の高融点金属膜やTiSi<sub>2</sub>

膜、WSi<sub>2</sub>膜等のシリサイド膜を形成することができるというまでもない。

【0079】(第3の実施形態)図5は本発明の第3の実施形態に係る半導体装置であるDRAMのメモリセルとその周辺回路の領域における断面図である。図5に示す本実施形態に係る半導体装置は、図1に示す第1の実施形態に係る半導体装置と同様の構成からなり、図1と共通の構成要素には図1と同一の符号を付している。図5において、15a, 15b, 15cは多結晶シリコンとシリサイド膜との積層構造よりなるポリサイド膜のゲート電極、16はゲート電極15a, 15b, 15c上に形成された第3の酸化膜である。

【0080】図5に示すような構造の半導体装置によると、メモリセル領域 $R_c$ におけるソース・ドレイン領域5, 6上には高融点金属のシリサイド膜が形成されていないため、メモリセル領域 $R_c$ では、接合リークが従来と同等に低く、ポーズタイムが従来と同等に長い。

【0081】一方、周辺回路領域 $R_s$ のソース・ドレイン領域7, 8, 9, 10上には高融点金属のシリサイド膜としてのTiSi<sub>2</sub>膜11が形成されている。これらのソース・ドレイン領域7, 8, 9, 10は高濃度領域7b, 8b, 9b, 10bをそれぞれ有しているので、低濃度領域5a, 6aのみからなるメモリセル領域 $R_c$ のソース・ドレイン領域5, 6よりも、接合深さが深く、かつ、ソースおよびドレイン側の空乏層幅も小さい。このため、接合リークの問題は無く、低抵抗を実現できる。

【0082】また、メモリセル領域 $R_c$ および周辺回路領域 $R_s$ において、ゲート電極15a, 15b, 15cは多結晶シリコンとシリサイド膜との積層構造よりなるポリサイド膜によって形成されているため、ゲート電極15a, 15b, 15cの配線抵抗の低抵抗化を実現することができる。

【0083】以下、本発明の第3の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。

【0084】図6および図7は本発明の第3の実施形態に係る半導体装置の製造方法であって、図5に示す半導体装置を製造する方法を示す工程順断面図である。

【0085】まず、p型ウェル領域1a、n型ウェル領域1bおよび素子分離絶縁膜2が形成されたp型Si基板上にゲート絶縁膜4および多結晶シリコンとシリサイド膜との積層構造よりなるポリサイド膜および第3の酸化膜16を成膜し、フォトリソグラフィ法およびドライエッチング法によりパターンニングして、ゲート電極15a, 15b, 15cを形成する。このときポリサイド膜は、CVD法またはスパッタ法によって成膜する。次に、メモリセル領域 $R_c$ および周辺回路NMOS領域 $R_n$ においてn型低濃度ソース・ドレイン領域5a, 6a, 7a, 8aを形成し、周辺回路PMOS領域 $R_p$ に

においてp型低濃度ソース・ドレイン領域9a, 10aを形成し、さらにその基板表面全面に第1の酸化膜13をLPCVD法によって形成する。

【0086】次に図6(a)に示すように、フォトリソグラフィ法によって、メモリセル領域Rcおよび周辺回路PMOS領域Rpをレジスト51で覆い、このレジスト51とゲート電極15bおよびこのゲート電極15bの側壁部の第1の酸化膜13とをマスクにして、n型高濃度不純物例えばヒ素Asをイオン注入し、n型高濃度ソース領域7bおよびn型高濃度ドレイン領域8bを形成し、周辺回路NMOS領域Rnのドレイン領域8をLDD構造とする。

【0087】次に図6(b)に示すように、レジスト51をマスクにして、異方性ドライエッチングによって、周辺回路NMOS領域Rnにおけるゲート電極15b上並びにn型高濃度ソース領域7bおよびn型高濃度ドレイン領域8b上の第1の酸化膜13を除去し、ゲート電極15bの側壁にのみ第1の酸化膜13を残置させ、サイドウォール13Aを形成する。その後、レジスト51を除去する。

【0088】次に図6(c)に示すように、フォトリソグラフィ法によって、メモリセル領域Rcおよび周辺回路NMOS領域Rnをレジスト52で覆い、このレジスト52とゲート電極15cおよびこのゲート電極15cの側壁部の第1の酸化膜13をマスクにして、p型高濃度不純物例えばボロンBを $\text{BF}_3^+$ のイオンを用いて注入し、p型高濃度ソース領域9bおよびp型高濃度ドレイン領域10bを形成し、周辺回路PMOS領域Rpのドレイン領域10をLDD構造とする。

【0089】次に図6(d)に示すように、レジスト52をマスクにして、異方性ドライエッチングによって、周辺回路PMOS領域Rpにおけるゲート電極15c上並びにp型高濃度ソース領域9bおよびp型高濃度ドレイン領域10b上の第1の酸化膜13を除去し、ゲート電極15cの側壁にのみ第1の酸化膜13を残置させ、サイドウォール13Bを形成する。その後、レジスト52を除去する。

【0090】次に図7(a)に示すように、基板表面全面にTi膜53をスパッタ法によって堆積し、RTA法によって熱処理する。この結果、図7(b)に示すように、シリサイド化によって、周辺回路領域Rsの高濃度ソース・ドレイン領域7b, 8b, 9b, 10b上のみ、 $\text{TiSi}_2$ 膜11が形成される。このとき、メモリセル領域Rcの低濃度ソース・ドレイン領域5a, 6a上には第1の酸化膜13が形成されているため、RTA法による熱処理時にTi膜53とSi基板とは反応せず、シリサイド膜は形成されない。その後、図7(c)に示すように、未反応のTi膜53およびRTA法による熱処理時にTi膜53表面に形成されたTiN膜を除去する。

【0091】その後は第1の実施形態と同様に、第2の酸化膜14および第1の層間絶縁膜25aを基板表面全面に形成し、CMP法によって平坦化を行い、電荷蓄積電極21、容量絶縁膜22、プレート電極23、ビット線24、第1層配線27a等を形成する。

【0092】ここで、 $\text{TiSi}_2$ 膜11が凝集して高抵抗化しないためには、 $\text{TiSi}_2$ 膜11形成後の工程温度は750℃以下であることが必要になる。したがって、第2の酸化膜14および第1～第5の層間絶縁膜25a～25eの形成工程および平坦化工程における工程温度は750℃以下であり、また容量絶縁膜22は $\text{Ta}_2\text{O}_5$ やBST等の750℃以下で形成できる膜であるものとする。

【0093】以上のように、本発明の第3の実施形態に係る半導体装置の製造方法によると、周辺回路領域Rsにおける高濃度領域7b, 8b, 9b, 10b形成のためのイオン注入の際に用いたレジスト51, 52をそのままマスクにして、周辺回路領域Rsにおける第1の酸化膜13をドライエッチングする一方、メモリセル領域Rcには第1の酸化膜13を残置させる。これによって、メモリセル領域Rcのソース・ドレイン領域5, 6上にシリサイド膜を形成せずに、周辺回路領域Rsのソース・ドレイン領域7, 8, 9, 10上に $\text{TiSi}_2$ 膜11を形成することができる。

【0094】また、周辺回路領域Rsのゲート電極15b, 15cだけでなくメモリセル領域Rcのゲート電極15aもポリサイド膜で形成されるので、配線抵抗を低減することができる。

【0095】また第1の実施形態のように、ゲート電極3a, 3b, 3cを多結晶シリコン膜によって形成し、その上にTi膜53を成膜してRTA法により $\text{TiSi}_2$ 膜11を形成する方法では、ゲート電極3a, 3b, 3cの配線幅を微細化したとき、 $\text{TiSi}_2$ 膜11が凝集して配線抵抗が逆に上昇してしまう。しかしながら、本実施形態のように、ゲート電極15a, 15b, 15cとしてCVD法またはスパッタ法によって形成したポリサイド膜を用い、その上に第3の酸化膜16を形成する方法によると、前記のような問題が生じることはなく、配線抵抗を上昇させることなくゲート電極15a, 15b, 15cを微細化することができる。

【0096】(第4の実施形態)図8は本発明の第4の実施形態に係る半導体装置の製造方法であって、図1に示す半導体装置を製造する方法を示す工程順断面図である。

【0097】まず、p型ウェル領域1a、n型ウェル領域1bおよび素子分離絶縁膜2が形成されたp型Si基板1上にゲート絶縁膜4および多結晶シリコンよりなるゲート電極3a, 3b, 3cを形成し、次に、メモリセル領域Rcおよび周辺回路NMOS領域Rnにおいてn型低濃度ソース・ドレイン領域5a, 6a, 7a, 8a

を形成するとともに、周辺回路PMOS領域Rpにおいてp型低濃度ソース・ドレイン領域9a、10aを形成し、さらにその基板表面全面に第1の酸化膜13をLPCVD法によって形成する。

【0098】次に図8(a)に示すように、フォトリソグラフィ法によって、メモリセル領域Rcおよび周辺回路第1導電型トランジスタ領域としての周辺回路NMOS領域Rnを覆う第1のレジストとしてのレジスト52を形成する。

【0099】そして図8(b)に示すように、レジスト52をマスクにして、異方性ドライエッチングによって、周辺回路第2導電型トランジスタ領域としての周辺回路PMOS領域Rpの第1の酸化膜13を除去し、ゲート電極3cの側壁にのみ残置させ、サイドウォール13Bを形成する。そしてこのレジスト52とゲート電極3cおよびサイドウォール13Bとをマスクにして、p型高濃度不純物例えばボロンBをBF<sub>3</sub>のイオンを用いて注入し、p型高濃度ソース・ドレイン領域9b、10bを形成する。このようにして形成した周辺回路PMOS領域Rpにおけるドレイン領域10はLDD構造になっている。その後、レジスト52を除去する。

【0100】次に図8(c)に示すように、フォトリソグラフィ法によって、メモリセル領域Rcおよび周辺回路PMOS領域Rpを覆う第2のレジストとしてのレジスト51を形成する。

【0101】次に図8(d)に示すように、レジスト51をマスクにして、異方性ドライエッチングおよび等方性エッチングによって、周辺回路NMOS領域Rnの第1の酸化膜13を除去し、ゲート電極3bの側壁にのみ残置させ、サイドウォール13Aを形成する。このとき形成されるサイドウォール13Aは、等方性エッチングによって、サイドウォール13Bとは異なる厚さに仕上げられている。また等方性エッチングは、ドライエッチングまたはウェットエッチングのいずれでもよい。

【0102】その後、レジスト51とゲート電極3bおよびサイドウォール13Aとをマスクにしてn型高濃度不純物例えば素Asをイオン注入し、n型高濃度ソース・ドレイン領域7b、8bを形成する。このようにして形成した周辺回路NMOS領域Rnのドレイン領域8はLDD構造になっている。

【0103】このとき、周辺回路NMOS領域Rnにおけるゲート電極3bのサイドウォール13Aと周辺回路PMOS領域Rpにおけるゲート電極3cのサイドウォール13Bとは厚さが異なるので、周辺回路NMOS領域Rnにおけるサイドウォール13A下のn型低濃度ドレイン領域8aのゲート長方向の幅は、周辺回路PMOS領域Rpにおけるサイドウォール13B下のp型低濃度ドレイン領域10aのゲート長方向の幅と異なって形成される。その後、図8(e)に示すように、レジスト51を除去する。

【0104】その後は第1の実施形態と同様に、Ti膜53を基板表面全面に堆積し、RTA法によってTiSi<sub>2</sub>膜11を形成し、未反応のTi膜53およびRTA法による熱処理時にTi膜53表面に形成されたTiN膜を除去する。その後、第2の酸化膜14および第1の層間絶縁膜25aを基板表面全面に形成し、CMP法によって平坦化を行い、電荷蓄積電極21、容量絶縁膜22、プレート電極23、ビット線24、第1層配線27a等を形成する。

【0105】ここで、TiSi<sub>2</sub>膜11が凝集して高抵抗化しないためには、TiSi<sub>2</sub>膜11形成後の工程温度が750℃以下であることが必要になる。したがって、第2の酸化膜14および第1～第5の層間絶縁膜25a～25eの形成工程および平坦化工程における工程温度は750℃以下であり、また容量絶縁膜22はTa<sub>2</sub>O<sub>5</sub>やBST等の750℃以下で形成できる膜であるものとする。

【0106】以上のように、本発明の第4の実施形態に係る半導体装置の製造方法によると、周辺回路NMOS領域Rnと周辺回路PMOS領域Rpとにおいて、それぞれのゲート電極3b、3c側壁の酸化膜のサイドウォール13A、13B下の低濃度ドレイン領域8a、10aの幅を自由に変えることができるため、NMOSおよびPMOSそれぞれのトランジスタに最適な幅および最適なLDD構造を形成することができるので、ドレイン耐圧等に高信頼性が実現できる。

【0107】なお本実施形態では、周辺回路PMOS領域Rpにおいて異方性エッチングによってサイドウォールを形成する一方、周辺回路NMOS領域Rnにおいて等方性エッチングおよび異方性エッチングによってサイドウォールを形成するものとしたが、反対に、周辺回路PMOS領域Rpにおいて等方性エッチングおよび異方性エッチングによってサイドウォールを形成する一方、周辺回路NMOS領域Rnにおいて異方性エッチングによってサイドウォールを形成してもかまわない。

【0108】(第5の実施形態)図9は本発明の第5の実施形態に係る半導体装置であるDRAMのメモリセルとその周辺回路の領域における断面図である。図9において、図1に示す第1の実施形態に係る半導体装置と共通の構成要素には、図1と同一の符号を付している。図9において、5bはメモリセル領域Rcにおけるn型高濃度ソース領域、31は電荷蓄積電極、32は容量絶縁膜、33は多結晶シリコンよりなるプレート電極、34はビット線、35a～35dはそれぞれ第1～第4の層間絶縁膜、36a、36bはそれぞれ第1～第2のコンタクトプラグ、37aは第1層配線、37bは第2層配線である。

【0109】図9に示すような構造の半導体装置によると、メモリセル領域Rcにおいて電荷蓄積電極31とコンタクトしたドレイン領域6上にはシリサイド膜が形成



されていないため、メモリセル領域Rcでは、接合リークが従来と同等に低く、ポーズタイムが従来と同等に長い。

【0110】一方、周辺回路領域Rsのソース・ドレイン領域7、8、9、10およびメモリセル領域Rcのビット線34とコンタクトしたソース領域5上には $TiSi_2$ 膜11が形成されている。これらのソース・ドレイン領域5、7、8、9、10は高濃度領域5b、7b、8b、9b、10bをそれぞれ有しているため、低濃度領域6aのみからなるメモリセル領域Rcのドレイン領域6よりも、接合深さが深く、さらにソースおよびドレイン側の空乏層幅も小さい。このため、接合リークの問題は無く、低抵抗を実現できる。また、周辺回路領域Rsのゲート電極3b、3c上にも $TiSi_2$ 膜11が形成されているため、ゲート電極3b、3cの配線抵抗の低抵抗化を実現することができる。

【0111】また、多結晶シリコンよりなるプレート電極33上にも $TiSi_2$ 膜11が形成されているため、プレート電極33の配線抵抗の低抵抗化も実現することができる。

【0112】以下、本発明の第5の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。

【0113】図10は本発明の第5の実施形態に係る半導体装置の製造方法であって、図9に示す半導体装置を製造する方法を示す工程順断面図である。

【0114】まず、p型ウェル領域1a、n型ウェル領域1bおよび素子分離絶縁膜2が形成されたp型Si基板1上にゲート絶縁膜4および多結晶シリコンよりなるゲート電極3a、3b、3cを形成し、次に、メモリセル領域Rcおよび周辺回路NMOS領域Rnにおいてn型低濃度ソース・ドレイン領域5a、6a、7a、8aを形成するとともに、周辺回路PMOS領域Rpにおいてp型低濃度ソース・ドレイン領域9a、10aを形成し、さらにその基板表面全面に第1の酸化膜13をLP CVD法によって形成する。

【0115】次にフォトリソグラフィ法によって、メモリセル領域Rcおよび周辺回路NMOS領域Rnをレジストで覆い、このレジストとゲート電極3cおよびその側壁部の第1の酸化膜13とをマスクにして、p型高濃度不純物例えばボロンBを $BF_3^+$ のイオンを用いて注入し、p型高濃度ソース・ドレイン領域9b、10bを形成する。このようにして形成した周辺回路PMOS領域Rpにおけるドレイン領域10は、p型高濃度ドレイン領域10bのチャネル近傍にp型低濃度ドレイン領域10aが設けられたLDD構造になっている。

【0116】次に図10(a)に示すように、フォトリソグラフィ法によって、周辺回路NMOS領域Rnとメモリセル領域Rcのソース領域とを開口したパターンのレジスト54を形成し、このレジスト54とゲート電極

3a、3bおよびその側壁部の第1の酸化膜13とをマスクにして、n型高濃度不純物例えばヒ素Asをイオン注入する。そして図10(b)に示すように、周辺回路NMOS領域Rnにn型高濃度ソース・ドレイン領域7b、8bを形成する。このようにして形成した周辺回路NMOS領域Rnにおけるドレイン領域8は、n型高濃度ドレイン領域8bのチャネル近傍にn型低濃度ドレイン領域8aが設けられたLDD構造になっている。またこのとき、メモリセル領域Rcにおいても、ビット線34とコンタクトするソース領域5にn型高濃度ソース領域5bが形成される。

【0117】その後、メモリセル領域Rcにおいてn型低濃度ドレイン領域6aに接続するコンタクト孔を形成し、電荷蓄積電極31を形成する。次に容量絶縁膜および多結晶シリコン膜を成膜し、ソースおよびドレイン領域の不純物活性化のための熱処理を工程温度850℃で30分間行う。

【0118】その後、図10(c)に示すように、フォトリソグラフィ法によって、プレート電極となる所定の領域をプレート電極形成用レジスト55で覆い、ドライエッチングによって多結晶シリコン膜および容量絶縁膜をエッチングし、プレート電極33および容量絶縁膜32を形成する。このとき、プレート電極形成用レジスト55は電荷蓄積電極31およびメモリセル領域Rcのn型低濃度ドレイン領域6aを覆う形状であり、プレート電極33は、周辺回路領域Rsには形成されず、メモリセル領域Rcにおいて、後に形成するビット線34とn型高濃度ソース領域5bとを接続するコンタクト領域を除いた領域に形成される。

【0119】その後、図10(d)に示すように、プレート電極形成用レジスト55またはプレート電極33をマスクにして第1の酸化膜13を除去する。周辺回路領域Rsのゲート電極3b、3cの側壁部に残置された第1の酸化膜13によって、サイドウォール13A、13Bを形成する。またこのときプレート電極33の下には第1の酸化膜13は残置される。その後、プレート電極形成用レジスト55を除去する。

【0120】次に図10(e)に示すように、基板表面全面に高融点金属膜としてのTi膜56をスパッタ法によって堆積し、RTA法によって熱処理する。この結果、シリサイド化によって、周辺回路領域Rsにおけるゲート電極3b、3cおよび高濃度領域7b、8b、9b、10b上、並びにメモリセル領域Rcにおけるプレート電極33、および後に形成されるビット線34とコンタクトする高濃度ソース領域5b上に、 $TiSi_2$ 膜11が形成される。このとき、メモリセル領域Rcのドレイン領域6上には第1の酸化膜13およびプレート電極33が形成されているため、RTA法による熱処理時にTi膜56とSi基板とは反応せず、シリサイド膜は形成されない。その後、未反応のTi膜56およびRT

A法による熱処理時にTi膜56表面に形成されたTiN膜を除去する。

【0121】その後、図示しないが、第2の酸化膜14および第1の層間絶縁膜35aを基板表面全面に形成し、CMP法によって平坦化を行う。次にメモリセル領域Rcの高濃度ソース領域5bおよび周辺回路領域Rsの高濃度ソース・ドレイン領域7b, 8b, 9b, 10bに接続するコンタクト孔を開口し、ビット線34を形成する。

【0122】その後、第2の層間絶縁膜35bを基板表面全面に形成し、CMP法によって平坦化を行い、周辺回路領域Rsの高濃度ソース・ドレイン領域7b, 8b, 9b, 10bまたはゲート電極3b, 3cに接続するコンタクト孔を開口し、第1のコンタクトプラグ36aおよび第1層配線37aを形成する。

【0123】その後、第3の層間絶縁膜35cを基板表面全面に形成し、CMP法によって平坦化を行い、第1層配線37aに接続するコンタクト孔を開口し、第2のコンタクトプラグ36bおよび第2層配線37bを形成し、その表面全面に第4の層間絶縁膜35dを形成する。

【0124】以上のように、本発明の第5の実施形態に係る半導体装置の製造方法によると、プレート電極33は、電荷蓄積電極31およびメモリセル領域Rcのドレイン領域6を覆い、かつ、高濃度ソース領域5b上のビット線34と接続するコンタクト領域を除いた形状をしており、このようなプレート電極33自身またはこれを形成するためのプレート電極形成用レジスト55をそのままマスクにして第1の酸化膜13をドライエッチングし、所望の領域のみSi基板および多結晶シリコンよりなるゲート電極を露出させる。そしてTi膜56を堆積することによって、ゲート電極側壁に残置させた第1の酸化膜13およびプレート電極33をマスクにし、前記所望の領域にのみ、Ti膜56とSi基板および多結晶シリコンよりなるゲート電極とを接触、反応させてTiSi<sub>2</sub>膜11を形成する。これによって、メモリセル領域Rcのドレイン領域6上にはシリサイド膜を形成せずに、周辺回路領域Rsのゲート電極3b, 3cおよびソース・ドレイン領域7, 8, 9, 10上、並びにメモリセル領域Rcにおけるビット線34とコンタクトする高濃度ソース領域5b上にTiSi<sub>2</sub>膜11を形成することができる。

【0125】また従来では、メモリセル領域Rcのソース領域は低濃度層しか形成されていなかったもので、接合深さが浅く、またソース側への空乏層幅も大きかった。このため、ビット線材料として用いられる低抵抗な高融点金属やシリサイド膜を直接Si基板上にコンタクトさせると、後の熱処理等によってSi基板と反応してしまい、接合を破壊したり、接合リークを増大させるという問題があった。

【0126】この問題を解決するため、従来から、Si基板と反応しない多結晶シリコンをコンタクトプラグとして形成し、その上に低抵抗な高融点金属やシリサイド膜からなるビット線を別工程で形成するという手法や、多結晶シリコンと低抵抗な高融点金属やシリサイド膜との積層配線（ポリサイド等）をビット線として形成し、この積層配線の下層側の多結晶シリコンを介してSi基板とコンタクトするという手法が用いられていた。

【0127】しかし、本実施形態に係る製造方法によると、ビット線34とコンタクトするSi基板およびゲート電極上にはメモリセル領域Rcおよび周辺回路領域RsとともにTiSi<sub>2</sub>膜11が形成され、このTiSi<sub>2</sub>膜11がビット線材料とSi基板との反応を防ぐため、安定したコンタクトが実現できるとともに、低抵抗であるがSiと反応するTi, W, Al等の金属膜をそのままビット線材料として用いることができるので、工程数の低減とともに、低抵抗コンタクトおよび低抵抗配線を実現することができる。

【0128】また、TiSi<sub>2</sub>膜11の形成は容量絶縁膜32の形成後に行われるので、容量絶縁膜32の成膜温度（熱処理）はTiSi<sub>2</sub>膜11に影響を与えず、凝集等も起こらない。したがって、容量絶縁膜として従来から用いられているSiO<sub>2</sub>膜とSi<sub>3</sub>N<sub>4</sub>膜との積層膜などの成膜温度が高い膜も、本実施形態では容量絶縁膜として用いることができるので、容量絶縁膜の高信頼性および低製造コストが実現でき、効果は大きい。

【0129】また、プレート電極32として多結晶シリコン膜を用いているが、このことは工程数の増加を伴わず、またプレート電極32上にもTiSi<sub>2</sub>膜11が形成されるので、プレート電極32自身の低抵抗化も実現でき、効果は大きい。

【0130】またソースおよびドレイン領域の不純物活性化のための熱処理は、プレート電極形成後であり、かつTi膜56の成膜前に行われるので、熱処理によるTiSi<sub>2</sub>膜11の凝集は起こらず、所望の熱処理を加えることができる。さらにこの熱処理の際には、ソースおよびドレイン領域は第1の酸化膜13等で覆われており露出していないので、不純物の外方拡散を防ぐことができ、効果は大きい。

【0131】（第6の実施形態）本発明の第6の実施形態は、第5の実施形態と同様に、図9に示す半導体装置の製造方法に関するものである。

【0132】図11および図12は本発明の第6の実施形態に係る半導体装置の製造方法であって、図9に示す半導体装置を製造する方法を示す工程順断面図である。

【0133】まず図11(a)に示すように、p型ウェル領域1a、n型ウェル領域1bおよび素子分離絶縁膜2が形成されたp型Si基板1上にゲート絶縁膜4および多結晶シリコンよりなるゲート電極3a, 3b, 3cを形成し、その後、メモリセル領域Rcおよび周辺回路

NMOS領域R<sub>n</sub>においてn型低濃度ソース・ドレイン領域5a, 6a, 7a, 8aを形成するとともに、周辺回路PMOS領域R<sub>p</sub>においてp型低濃度ソース・ドレイン領域9a, 10aを形成し、さらにその基板表面全面に第1の酸化膜13をLPCVD法によって形成する。

【0134】その後、図11(b)に示すように、メモリセル領域R<sub>c</sub>のドレイン領域6に接続するコンタクト孔を形成し、電荷蓄積電極31を形成する。次に容量絶縁膜および多結晶シリコン膜を成膜し、フォトリソグラフィ法によってプレート電極となる領域をプレート電極形成用レジスト55で覆い、ドライエッチングによって前記多結晶シリコン膜および容量絶縁膜をエッチングし、プレート電極33および容量絶縁膜32を形成する。このとき、プレート電極形成用レジスト55は電荷蓄積電極31およびメモリセル領域R<sub>c</sub>のドレイン領域6を覆う形状であり、プレート電極33は、周辺回路領域R<sub>s</sub>には形成されず、メモリセル領域R<sub>c</sub>において、後に形成するビット線34とソース領域5とを接続するコンタクト領域を除いた領域に形成される。

【0135】次に図11(c)に示すように、プレート電極形成用レジスト55またはプレート電極33をマスクにして第1の酸化膜13を除去する。周辺回路領域R<sub>s</sub>のゲート電極3b, 3cの側壁部に残置された第1の酸化膜13によって、サイドウォール13A, 13Bを形成する。またこのとき、第1の酸化膜13はプレート電極33の下にも残置される。

【0136】次に図11(d)に示すように、フォトリソグラフィ法によって、周辺回路PMOS領域R<sub>p</sub>をレジスト57で覆い、このレジスト57と、プレート電極33と、ゲート電極3bおよびこのゲート電極3bのサイドウォール13Aとをマスクにして、n型高濃度不純物例えばヒ素Asをイオン注入し、n型高濃度ソース・ドレイン領域7b, 8bを形成する。このようにして形成した周辺回路NMOS領域R<sub>n</sub>のドレイン領域8は、高濃度領域8bのチャネル近傍に低濃度領域8aが設けられたLDD構造になっている。またこのとき、メモリセル領域R<sub>c</sub>においても、後に形成されるビット線34とコンタクトするソース領域5にn型高濃度ソース領域5bが形成される。

【0137】次に、レジスト57を除去した後、図12(a)に示すように、フォトリソグラフィ法によって、メモリセル領域R<sub>c</sub>および周辺回路NMOS領域R<sub>p</sub>をレジスト58で覆い、このレジスト58とゲート電極3cおよびこのゲート電極3cのサイドウォール13Bとをマスクにして、p型高濃度不純物例えばボロンBをBF<sub>3</sub>のイオンを用いて注入し、p型高濃度ソース・ドレイン領域9b, 10bを形成する。このようにして形成した周辺回路PMOS領域R<sub>p</sub>のドレイン領域10は、周辺回路NMOS領域R<sub>n</sub>と同様に、高濃度領域10b

のチャネル近傍に低濃度領域10aが設けられたLDD構造になっている。

【0138】次に、レジスト58を除去した後、図12(b)に示すように、基板表面全面にTi膜56をスパッタ法によって堆積し、RTA法によって熱処理する。この結果、シリサイド化によって、周辺回路領域R<sub>s</sub>におけるゲート電極3b, 3cおよび高濃度ソース・ドレイン領域7b, 8b, 9b, 10b上、並びにメモリセル領域R<sub>c</sub>におけるプレート電極33、および後に形成されるビット線34とコンタクトする高濃度ソース領域5b上に、TiSi<sub>2</sub>膜11が形成される。このとき、メモリセル領域R<sub>c</sub>の低濃度ドレイン領域6上には第1の酸化膜13およびプレート電極33が形成されているため、RTA法による熱処理時にTi膜56とSi基板とは反応せず、シリサイド膜は形成されない。その後、未反応のTi膜56およびRTA法による熱処理時にTi膜56表面に形成されたTiN膜を除去する。

【0139】その後、図示しないが、第2の酸化膜14および第1の層間絶縁膜35aを基板表面全面に形成し、CMP法によって平坦化を行う。次にメモリセル領域R<sub>c</sub>の高濃度ソース領域5bおよび周辺回路領域R<sub>s</sub>の高濃度ソース・ドレイン領域7b, 8b, 9b, 10bに接続するコンタクト孔を開口し、ビット線34を形成する。

【0140】その後、第2の層間絶縁膜35bを基板表面全面に形成し、CMP法によって平坦化を行い、周辺回路領域R<sub>s</sub>の高濃度ソース・ドレイン7b, 8b, 9b, 10bまたはゲート電極3b, 3cに接続するコンタクト孔を開口し、第1のコンタクトプラグ36aおよび第1層配線37aを形成する。

【0141】その後、第3の層間絶縁膜35cを基板表面全面に形成し、CMP法によって平坦化を行い、第1層配線37aに接続するコンタクト孔を開口し、第2のコンタクトプラグ36bおよび第2層配線37bを形成し、その表面全面に第4の層間絶縁膜35dを形成する。

【0142】以上のように、本発明の第6の実施形態に係る半導体装置の製造方法によると、プレート電極33は、電荷蓄積電極31およびメモリセル領域R<sub>c</sub>のドレイン領域6を覆い、かつ、高濃度ソース領域5b上のビット線34と接続するコンタクト領域を除いた形状をしており、このようなプレート電極33自身またはこれを形成するためのプレート電極形成用レジスト55をそのままマスクにして第1の酸化膜13をドライエッチングし、所望の領域のみSi基板および多結晶シリコンよりなるゲート電極を露出させる。そしてTi膜56を堆積することによって、ゲート電極側壁に残置させた第1の酸化膜13およびプレート電極33をマスクにし、前記所望の領域にのみ、Ti膜56とSi基板および多結晶シリコンよりなるゲート電極とを接触、反応させてTi

Si<sub>2</sub>膜11を形成する。これによって、メモリセル領域R<sub>c</sub>のドレイン領域6上にはシリサイド膜を形成せずに、周辺回路領域R<sub>s</sub>のゲート電極3b, 3cおよびソース・ドレイン領域7, 8, 9, 10上、並びにメモリセル領域R<sub>c</sub>におけるビット線34とコンタクトする高濃度ソース領域5b上にTiSi<sub>2</sub>膜11を形成することができる。

【0143】また、ビット線34とコンタクトするSi基板およびゲート電極上にはメモリセル領域R<sub>c</sub>および周辺回路領域R<sub>s</sub>ともにTiSi<sub>2</sub>膜11が形成され、このTiSi<sub>2</sub>膜11がビット線材料とSi基板との反応を防ぐため、安定したコンタクトが実現できるとともに、低抵抗であるがSiと反応するTi, W, Al等の金属膜をそのままビット線材料として用いることができるので、工程数の低減とともに、低抵抗コンタクトおよび低抵抗配線を実現することができる。

【0144】また、TiSi<sub>2</sub>膜11の形成は容量絶縁膜32の形成後に行われるので、容量絶縁膜32の成膜温度(熱処理)はTiSi<sub>2</sub>膜11に影響を与えず、凝集等も起こらない。したがって、容量絶縁膜として従来から用いられているSiO<sub>2</sub>膜とSi<sub>3</sub>N<sub>4</sub>膜との積層膜などの成膜温度が高い膜も、本実施形態では容量絶縁膜として用いることができるので、容量絶縁膜の高信頼性および低製造コストが実現でき、効果は大きい。

【0145】また、プレート電極32として多結晶シリコン膜を用いているが、このことは工程数の増加を伴わず、またプレート電極32上にもTiSi<sub>2</sub>膜11が形成されるので、プレート電極32自身の低抵抗化も実現でき、効果は大きい。

【0146】またソースおよびドレイン領域の不純物活性化のための熱処理は、プレート電極形成後であり、かつTi膜56の成膜前に行われるので、熱処理によるTiSi<sub>2</sub>膜11の凝集は起こらず、所望の熱処理を加えることができる。さらにこの熱処理の際には、ソースおよびドレイン領域は第1の酸化膜13等で覆われており露出していないので、不純物の外方拡散を防ぐことができ、効果は大きい。

【0147】また、メモリセル領域R<sub>c</sub>のn型高濃度ソース領域5bの寸法は微細であるため、ソース領域5にn型高濃度不純物をイオン注入する際のレジストマスクをフォトリソグラフィ法によってパターン形成する場合には、アライメントおよび寸法に高精度が必要であった。ところが本実施形態では、先に形成するプレート電極33をそのままメモリセル領域R<sub>c</sub>のn型高濃度不純物イオン注入のマスクとして用いるので、高精度なレジストマスクのパターン形成の必要はないので、効果は大きい。

【0148】(第7の実施形態)図13および図14は本発明の第7の実施形態に係る半導体装置の製造方法における工程順断面図である。

【0149】まず図13(a)に示すように、第6の実施形態の図11(a), (b)に示す工程に従い、プレート電極33および容量絶縁膜32を形成し、プレート電極形成用レジスト55を除去する。

【0150】その後、図13(b)に示すように、第2の絶縁膜としての第3の酸化膜41を基板表面全面に成膜する。このとき第3の酸化膜41は、後に形成するビット線34とメモリセル領域R<sub>c</sub>のソース領域5とのコンタクト孔を埋め込まないように、薄い膜厚で形成される。

【0151】その後、図13(c)に示すように、異方性エッチングによって、第1の酸化膜13および第3の酸化膜41を除去する。このとき、プレート電極33をマスクにしてプレート電極33の下に第1の酸化膜13を残置するとともに、第1の酸化膜13を周辺回路領域R<sub>s</sub>のゲート電極3b, 3cの側壁に残置させることによってサイドウォール13Eを形成する。また、第3の酸化膜41をプレート電極33の側壁と周辺回路領域R<sub>s</sub>のゲート電極3b, 3cの側壁とに残置させることによって、サイドウォール41A, 41Bを形成する。

【0152】その後、図13(d)に示すように、フォトリソグラフィ法によって、周辺回路PMOS領域R<sub>p</sub>を覆うレジスト57を形成し、このレジスト57と、プレート電極33およびこのプレート電極33の側壁に形成されたサイドウォール41Aと、ゲート電極3bおよびこのゲート電極3bの側壁に形成されたサイドウォール13E, 41Bとをマスクにして、n型高濃度不純物例えばヒ素Asをイオン注入し、周辺回路NMOS領域R<sub>n</sub>に高濃度ソース・ドレイン領域7b, 8bを形成する。このようにして形成した周辺回路NMOS領域R<sub>n</sub>のドレイン領域8は、高濃度領域8aのチャネル近傍に低濃度領域8bが設けられたLDD構造になっている。またメモリセル領域R<sub>c</sub>において、後に形成されるビット線34とコンタクトするソース領域5にもn型高濃度ソース領域5bが形成される。

【0153】次に、レジスト57を除去した後、図14(a)に示すように、フォトリソグラフィ法によって、メモリセル領域R<sub>c</sub>と周辺回路NMOS領域R<sub>n</sub>を覆うレジスト58を形成し、レジスト57とゲート電極3cおよびこのゲート電極3cの側壁に形成されたサイドウォール13E, 41Bとをマスクにして、p型高濃度不純物例えばボロンBをBF<sub>2</sub><sup>+</sup>のイオンを用いて注入し、周辺回路PMOS領域R<sub>p</sub>に高濃度ソース・ドレイン領域9b, 10bを形成する。このようにして形成した周辺回路PMOS領域R<sub>p</sub>のドレイン領域10は、周辺回路NMOS領域R<sub>n</sub>のドレイン領域8と同様に、高濃度領域10bのチャネル近傍に低濃度領域10aが設けられたLDD構造になっている。

【0154】次に、レジスト58を除去した後、図14(b)に示すように、基板表面全面にTi膜56をスパ

ッタ法によって堆積し、RTA法によって熱処理する。この結果、シリサイド化によって、周辺回路領域 $R_s$ におけるゲート電極3b、3cおよび高濃度領域7b、8b、9b、10b上、並びにメモリセル領域 $R_c$ におけるプレート電極33、および後に形成されるビット線34とコンタクトする高濃度ソース領域5b上に、 $TiSi_2$ 膜11が形成される。このとき、プレート電極33の側壁部には、酸化膜のサイドウォール41Aが形成されているので、 $TiSi_2$ 膜11は形成されない。またこのとき、メモリセル領域 $R_c$ のドレイン領域6上には第1の酸化膜13およびプレート電極33が形成されているので、RTA法による熱処理時に $Ti$ 膜58と $Si$ 基板とは反応せず、シリサイド膜は形成されない。その後、未反応の $Ti$ 膜58およびRTA法による熱処理時に $Ti$ 膜58表面に形成される $TiN$ 膜を除去する。

【0155】その後、第2の酸化膜14および第1の層間絶縁膜35aを基板表面全面に形成し、CMP法によって平坦化を行う。次に、メモリセル領域 $R_c$ の高濃度ソース領域5bおよび周辺回路領域 $R_s$ の高濃度ソース・ドレイン領域7b、8b、9b、10bに接続するコンタクト孔を開口し、ビット線34を形成する。その後、第2の層間絶縁膜35bを基板表面全面に形成し、CMP法によって平坦化を行い、周辺回路領域 $R_s$ における高濃度ソース・ドレイン領域7b、8b、9b、10bまたはゲート電極3b、3cに接続するコンタクト孔を開口し、第1のコンタクトプラグ36aおよび第1層配線37aを形成する。その後、第3の層間絶縁膜35cを基板表面全面に形成し、CMP法によって平坦化を行い、第1層配線37aに接続するコンタクト孔を開口し、第2のコンタクトプラグ36bおよび第2層配線37bを形成し、その表面全面に第4の層間絶縁膜35dを形成する。

【0156】ここで図15(a)に示すように、プレート電極33は電荷蓄積電極31全体を覆った構造をしているが、微細化が進み、プレート電極33形成時のフォトリソグラフィーの合わせずれ、寸法ずれまたはエッチング時の寸法ずれなどが許容範囲内に十分制御できない場合、図15(b)に示すように、プレート電極33の端部が、電荷蓄積電極31の端部と面一または電荷蓄積電極31の端部よりもドレイン領域側になるときがある。

【0157】この場合、プレート電極33のドライエッチングの際に下地の電荷蓄積電極31もエッチングされるので、電荷蓄積電極31がプレート電極33の下側で露出した状態になる。この状態でそのまま $Ti$ 膜56を形成すると、図15(b)に示すように、電荷蓄積電極31の露出した部分と $Ti$ 膜56とが接触してしまう。その後RTA法による熱処理を行うと、プレート電極33上に $Ti$ 膜56とのシリサイド化反応によって $TiSi_2$ 膜11が形成されるが、これとともに電荷蓄積電極

31の露出した部分と $Ti$ 膜56とのシリサイド化反応も生じ、この部分でも $TiSi_2$ 膜11が形成される。このシリサイド化反応では、多結晶シリコンのシリコン原子が $Ti$ 膜56側に拡散するため、 $Ti$ 膜56を伝わって $TiSi_2$ 膜11が這い上がる。ここで、容量絶縁膜32の膜厚は1~20nm程度と薄いので、図15(c)に示すように、電荷蓄積電極31側から這い上がった $TiSi_2$ 膜11とプレート電極33上に形成された $TiSi_2$ 膜11とが容量絶縁膜32上で接触してしまうことになり、容量絶縁膜32が容量として機能しなくなる。

【0158】ところが本実施形態に係る半導体装置の製造方法では、プレート電極33を形成した後、酸化膜のサイドウォール41Aをプレート電極33の側壁に形成するので、図16(a)に示すように、もしフォトリソグラフィーの合わせずれなどによって電荷蓄積電極31が露出した場合には、露出した電荷蓄積電極31の側壁にも酸化膜のサイドウォール41Aが形成される。このため、図16(b)に示すように、 $Ti$ 膜56を堆積した際に $Ti$ 膜56と電荷蓄積電極31とが直接接触することはない。したがって、図16(c)に示すように、前記のような容量絶縁膜32が容量として機能しなくなるという問題は生じず、プレート電極33の上にのみ $TiSi_2$ 膜11が形成されるので、第6の実施形態と同様の効果を確実に得ることができる。

【0159】

【発明の効果】以上のように、本発明に係る半導体装置によると、周辺回路領域のソース・ドレイン領域上に高融点金属のシリサイド膜または高融点金属膜が形成されている一方、メモリセル領域の電荷蓄積電極と接続されたドレイン領域上には高融点金属のシリサイド膜および高融点金属膜は形成されていないので、ポーズタイムは従来と同等に長く保たれたまま、ソース・ドレイン領域のシート抵抗の低抵抗化によって、高速化および低消費電力化を実現することができる。

【0160】また、本発明に係る半導体装置の製造方法によると、半導体基板上に形成した絶縁膜を、周辺回路領域のソース・ドレイン領域形成のためのイオン注入の際に用いたレジストや、電荷蓄積電極とこの電荷蓄積電極と接続されたドレイン領域とを覆うプレート電極をマスクにしてエッチングすることによって、周辺回路領域の半導体基板の表面を露出させ、高融点金属のシリサイド膜または高融点金属膜を形成するので、前記のような半導体装置を少ない工程で製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の断面図である。

【図2】(a)~(d)は本発明の第1の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図3】(a)~(c)は本発明の第1の実施形態に係る



る半導体装置の製造方法における工程順断面図である。

【図4】(a), (b)は本発明の第2の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図5】本発明の第3の実施形態に係る半導体装置の断面図である。

【図6】(a)～(d)は本発明の第3の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図7】(a)～(c)は本発明の第3の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図8】(a)～(e)は本発明の第4の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図9】本発明の第5の実施形態に係る半導体装置の断面図である。

【図10】(a)～(e)は本発明の第5の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図11】(a)～(d)は本発明の第6の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図12】(a), (b)は本発明の第6の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図13】(a)～(d)は本発明の第7の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図14】(a), (b)は本発明の第7の実施形態に係る半導体装置の製造方法における工程順断面図である。

【図15】(a)～(c)はプレート電極にサイドウォールを形成しない場合の、プレート電極のドライエッチング時に電荷蓄積電極の側壁が露出したときのシリサイド化工程を示す拡大断面図である。

【図16】(a)～(c)はプレート電極にサイドウォールを形成した場合の、プレート電極のドライエッチング時に電荷蓄積電極の側壁が露出したときのシリサイド化工程を示す拡大断面図である。

【図17】従来の半導体装置の断面図である。

【図18】従来の半導体装置にサリサイド技術をそのま

ま適用した場合の断面図である。

【図19】(a)～(d)は従来の半導体装置にサリサイド技術をそのまま適用した場合の工程順断面図である。

【図20】(a), (b)は従来の半導体装置にサリサイド技術をそのまま適用した場合の工程順断面図である。

【符号の説明】

Rc メモリセル領域

Rs 周辺回路領域

Rn 周辺回路NMOS領域(周辺回路第1導電型トランジスタ領域)

Rp 周辺回路PMOS領域(周辺回路第2導電型トランジスタ領域)

1 半導体基板

3a, 3b, 3c ゲート電極

5 メモリセル領域Rcにおけるソース領域

6 メモリセル領域Rcにおけるドレイン領域

7 周辺回路NMOS領域Rnにおけるソース領域

8 周辺回路NMOS領域Rnにおけるドレイン領域

9 周辺回路PMOS領域Rpにおけるソース領域

10 周辺回路PMOS領域Rpにおけるドレイン領域

11  $TiSi_2$  膜(高融点金属のシリサイド膜)

12 W膜(高融点金属膜)

13 第1の酸化膜(絶縁膜)

13A, 13B サイドウォール

15a, 15b, 15c ゲート電極

21, 31 電荷蓄積電極

32 容量絶縁膜

33 プレート電極

34 ビット線

41 第3の酸化膜(第2の絶縁膜)

41A サイドウォール

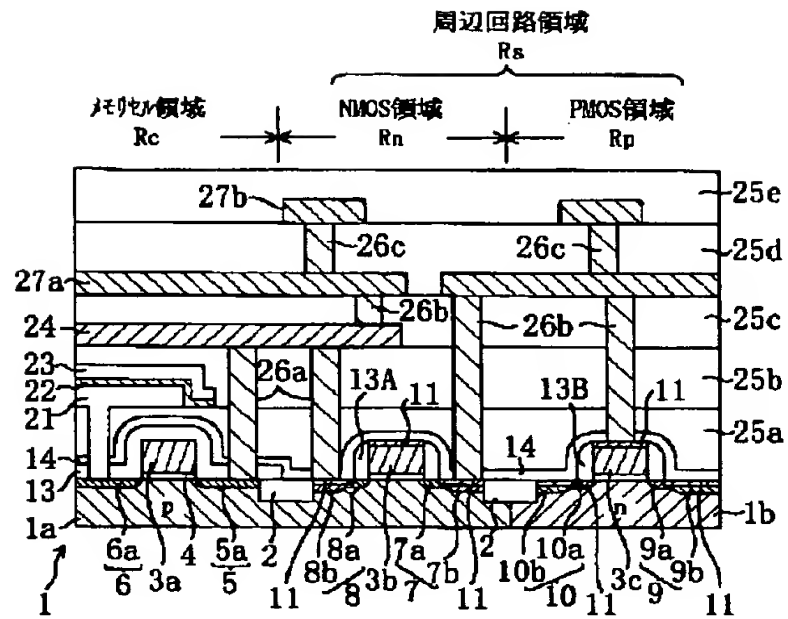
51 レジスト(第2のレジスト)

52 レジスト(第1のレジスト)

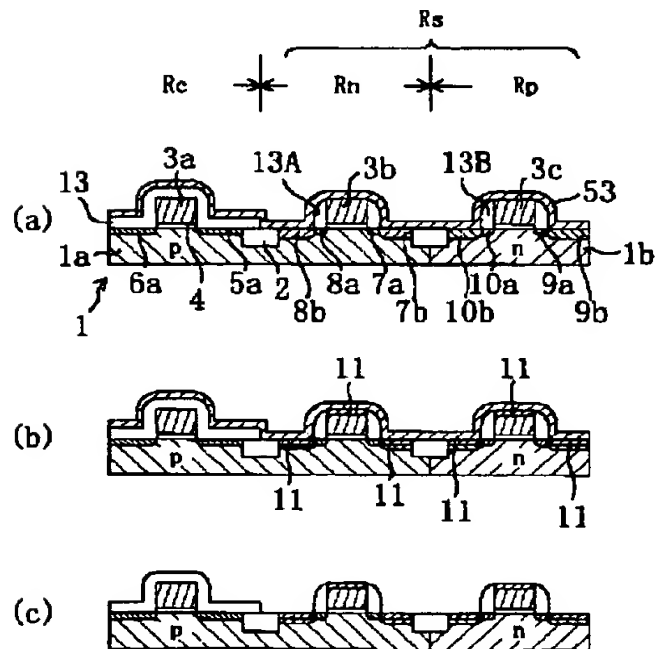
53, 56 Ti膜(高融点金属膜)

55 プレート電極形成用レジスト

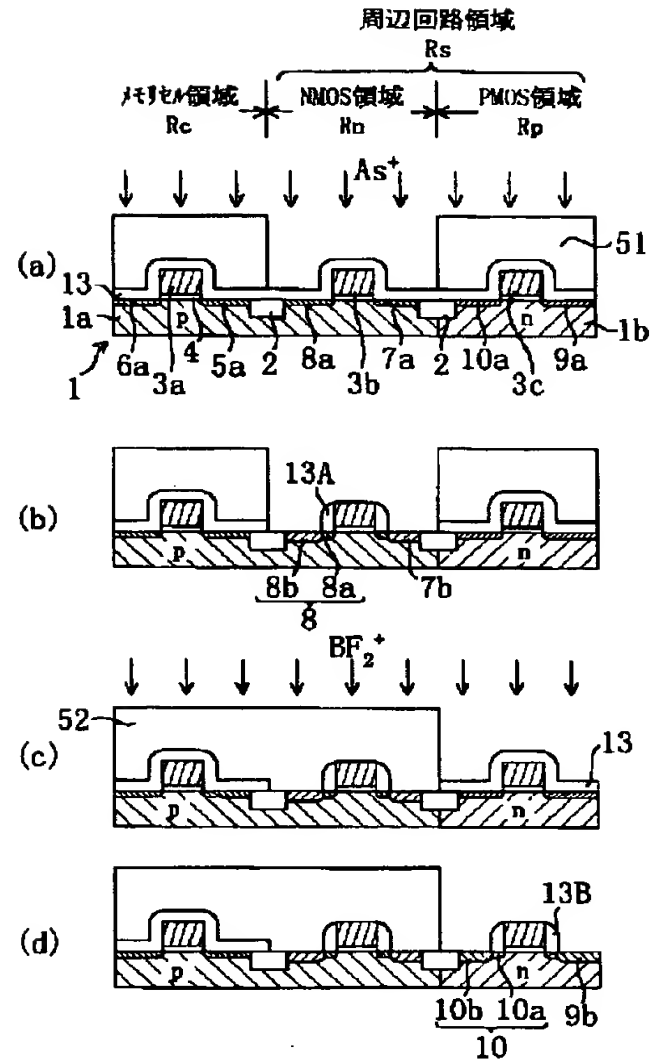
【図1】



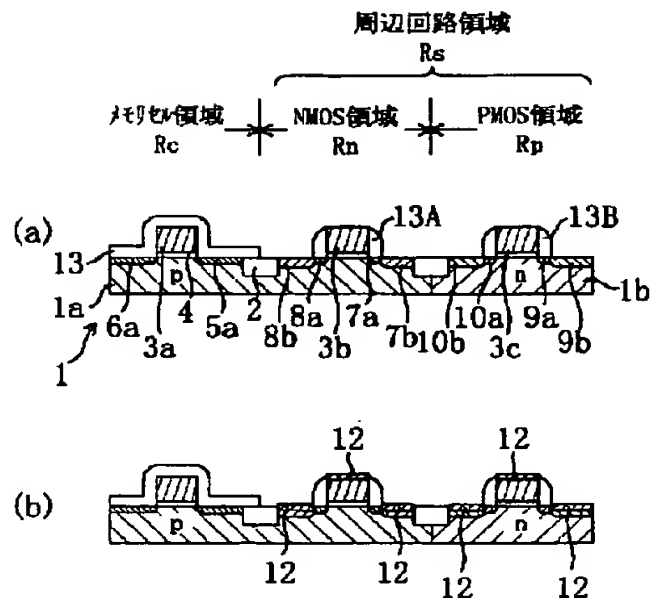
【図3】



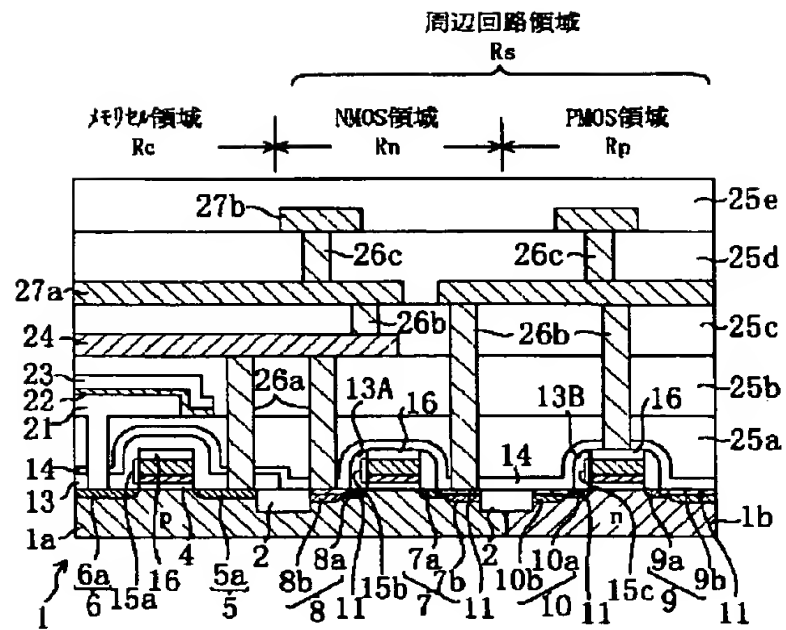
【図2】



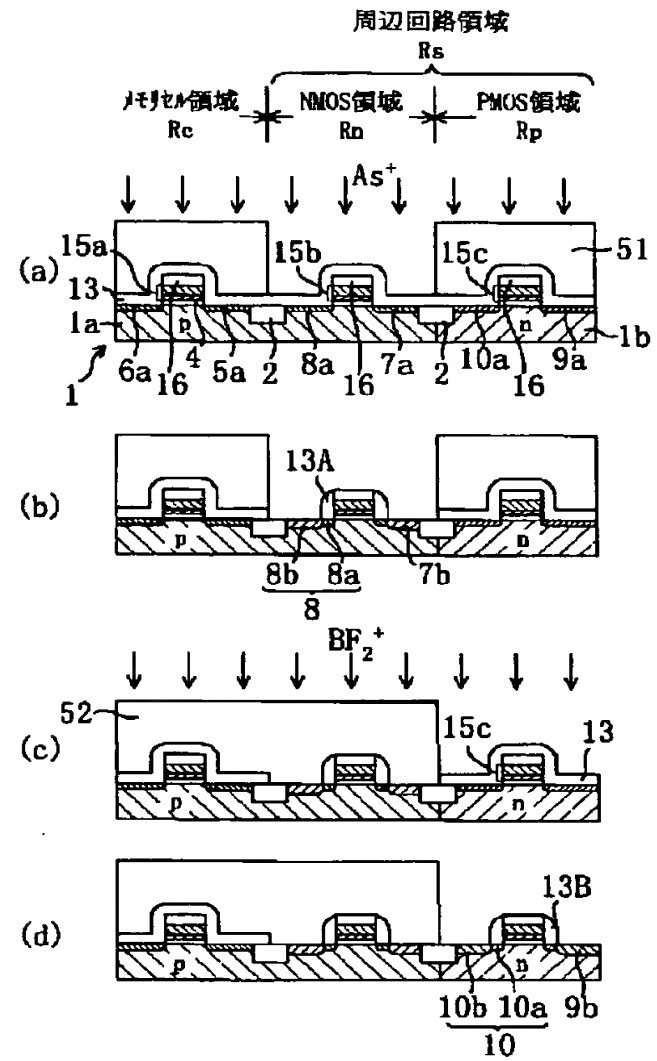
【図4】



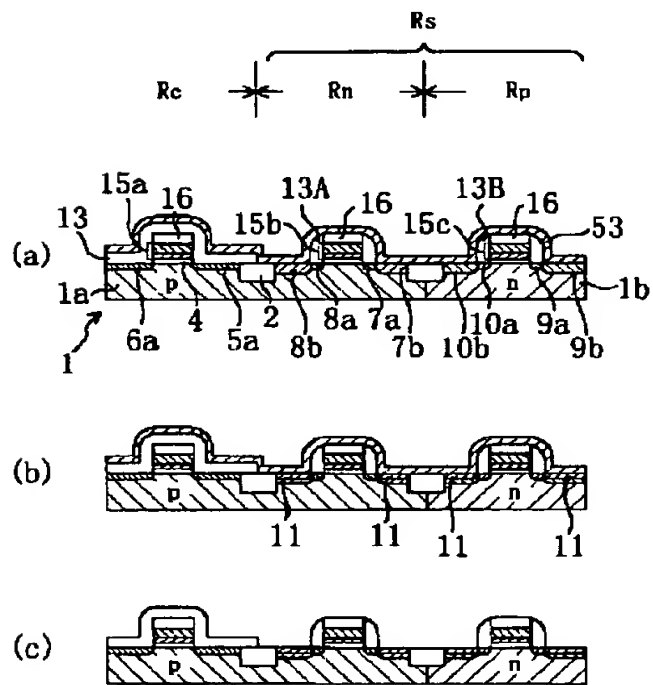
【図5】



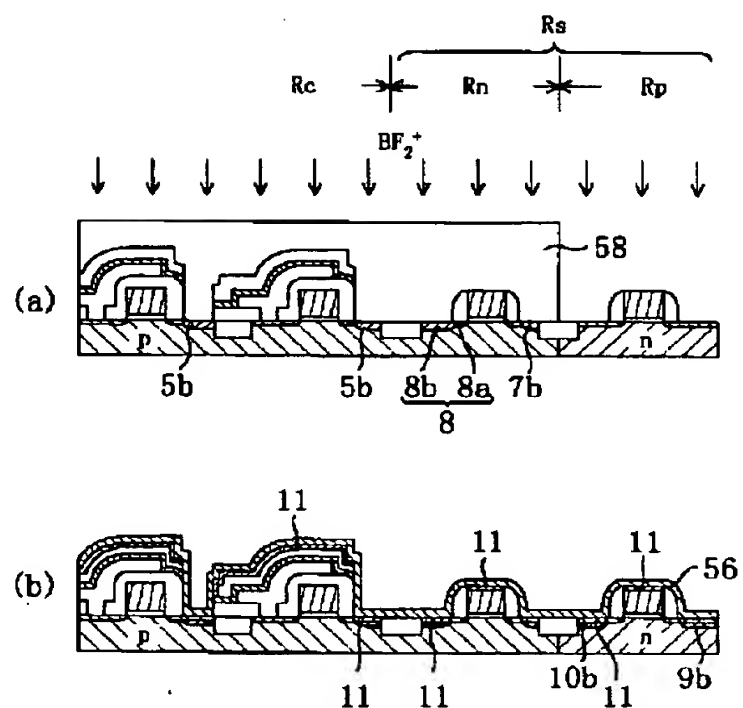
【図6】



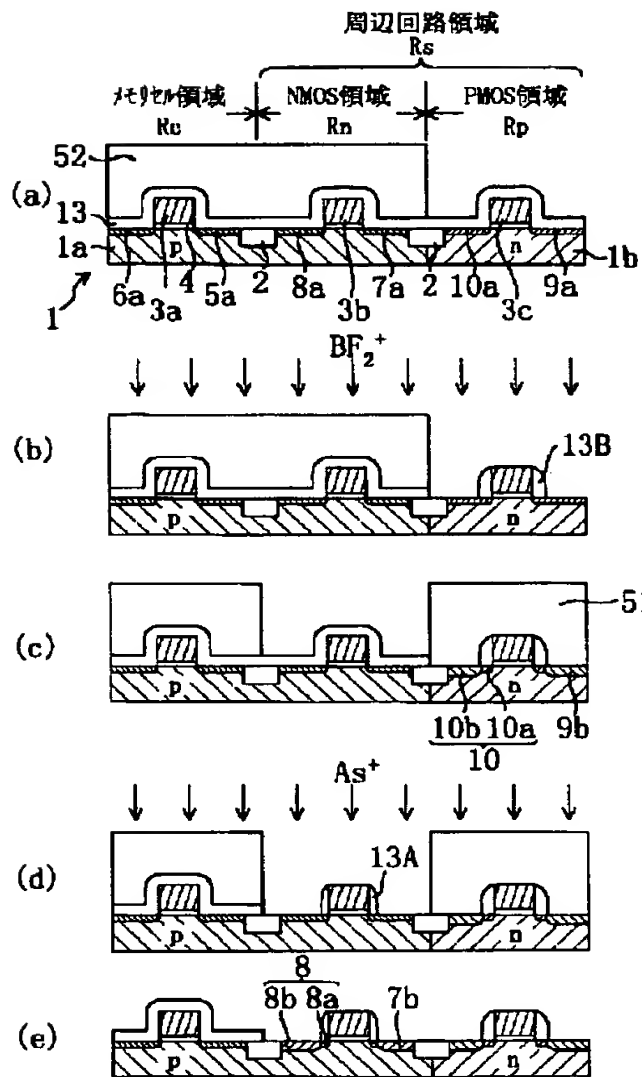
【図7】



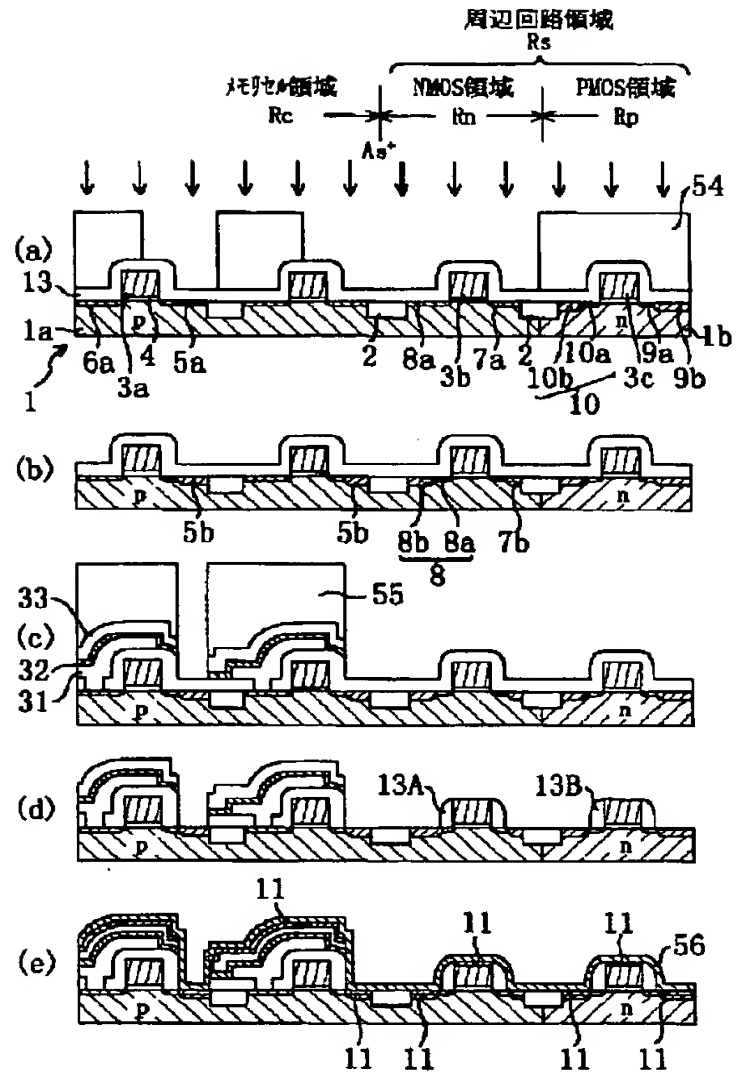
【図12】



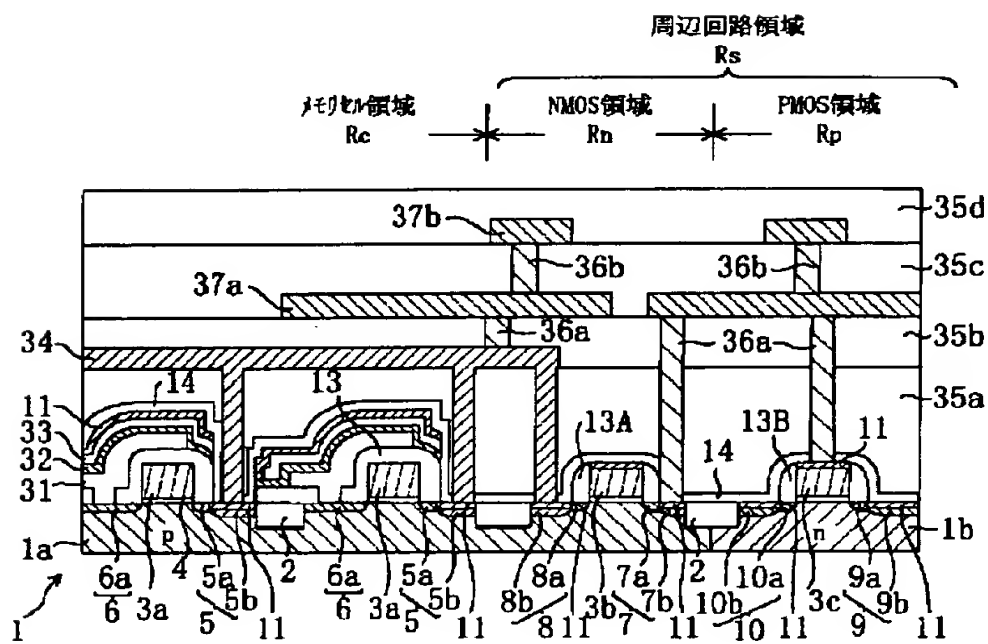
【図8】



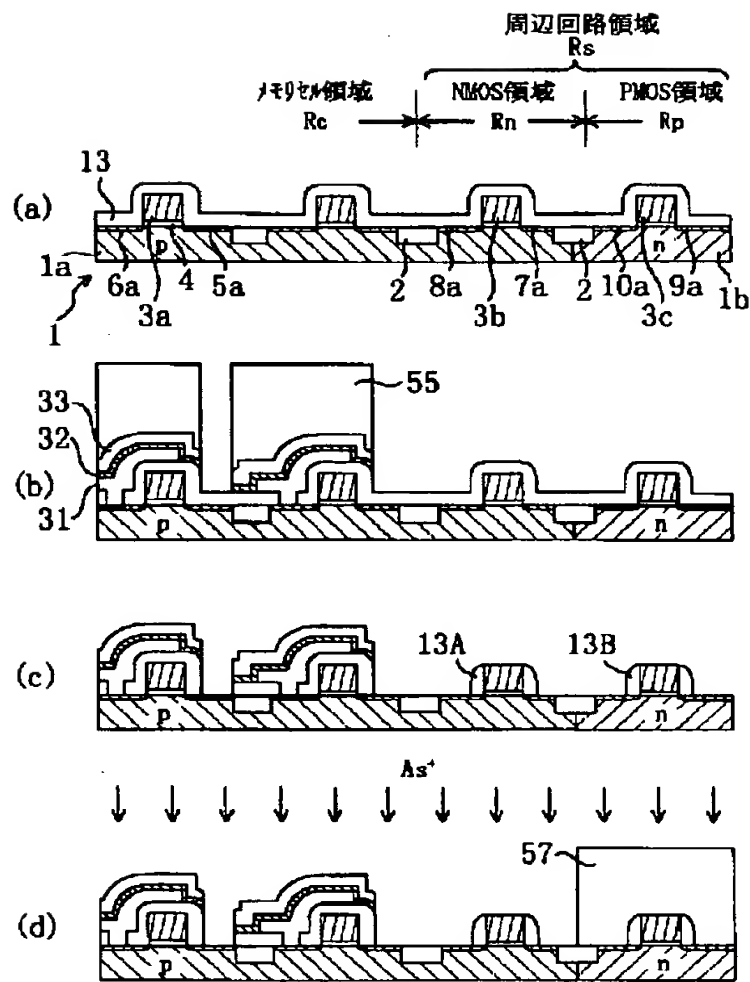
【圖10】



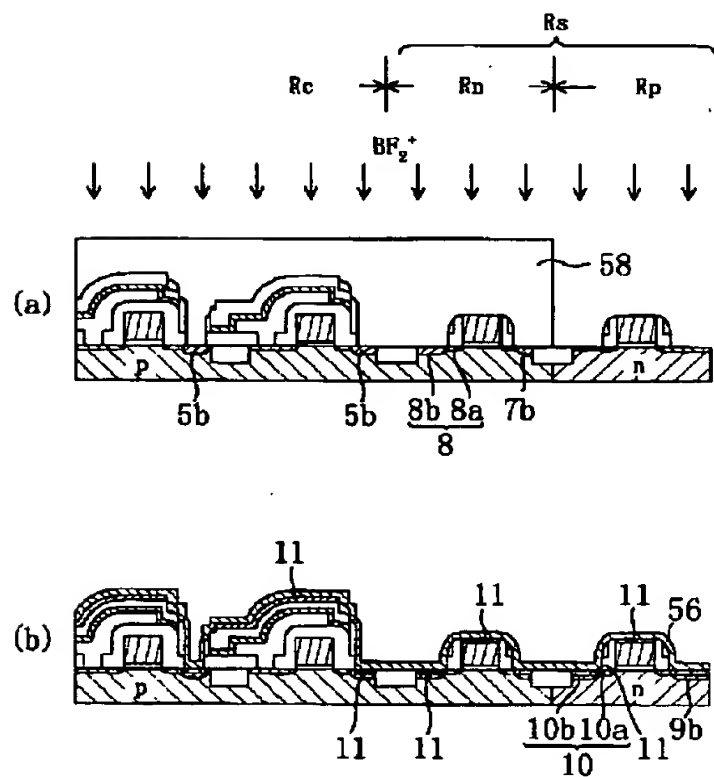
【図9】



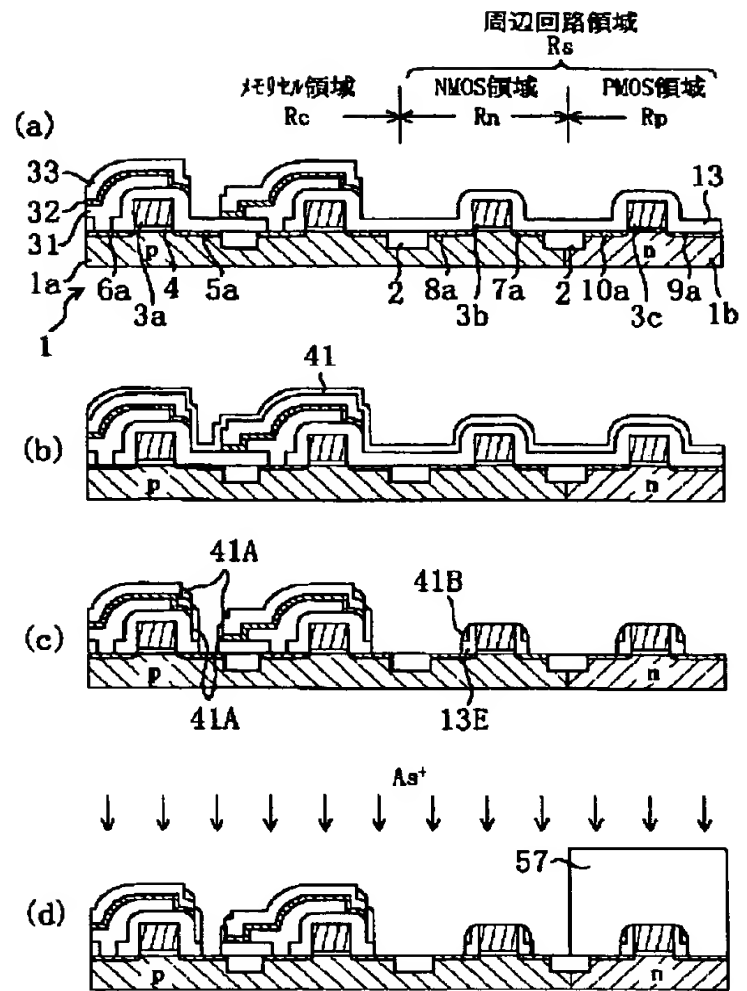
【図11】



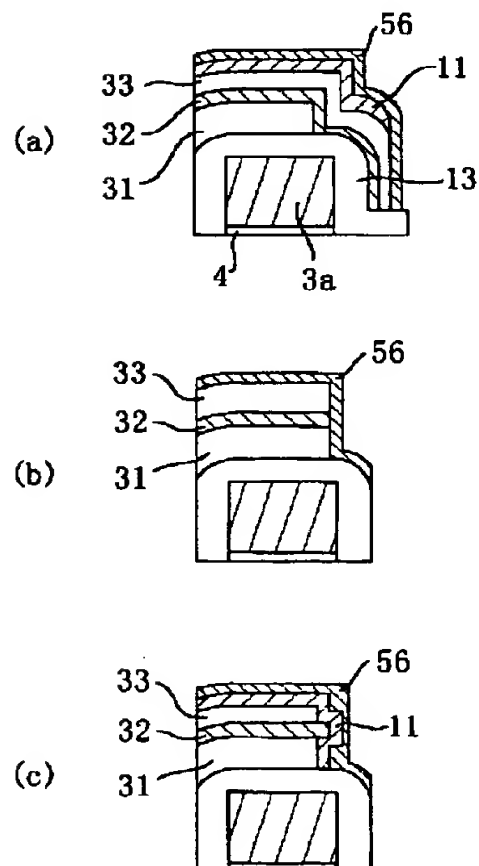
【図14】



【図13】

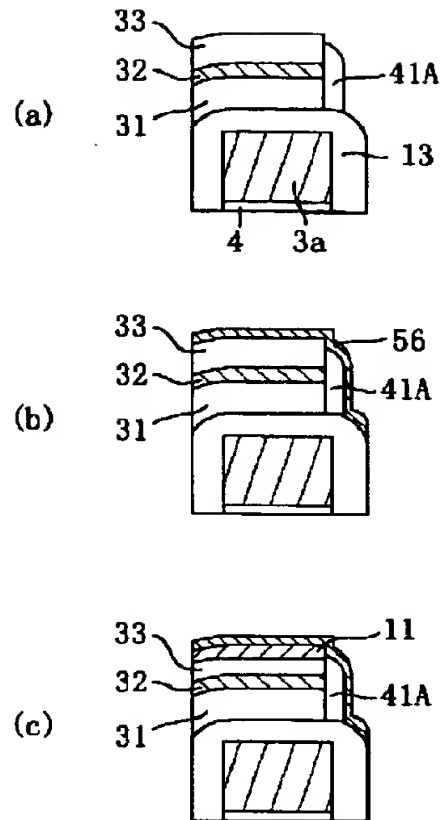


【図15】

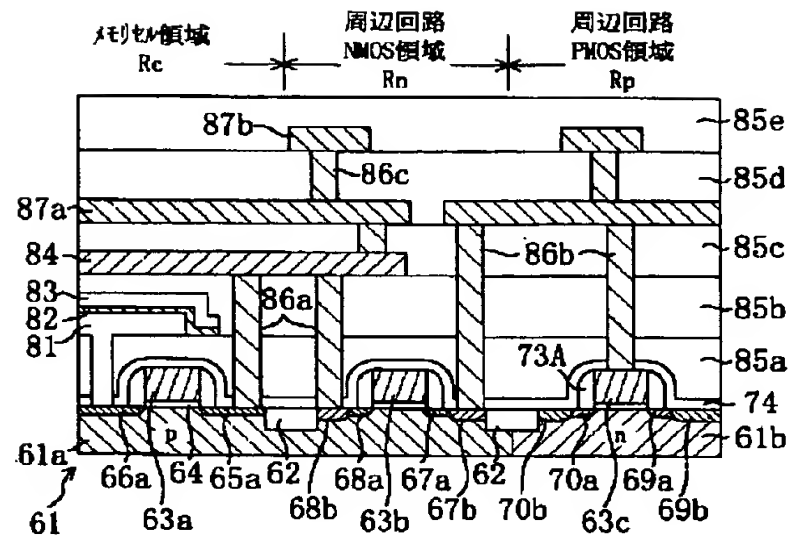




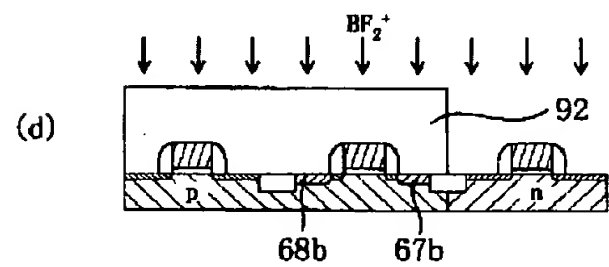
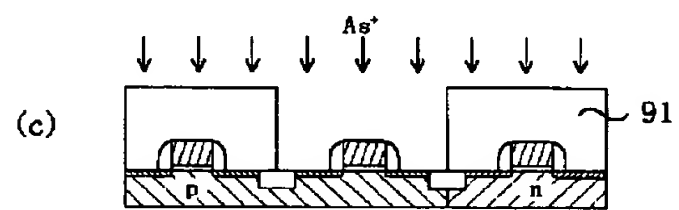
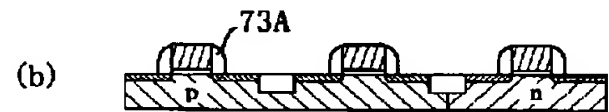
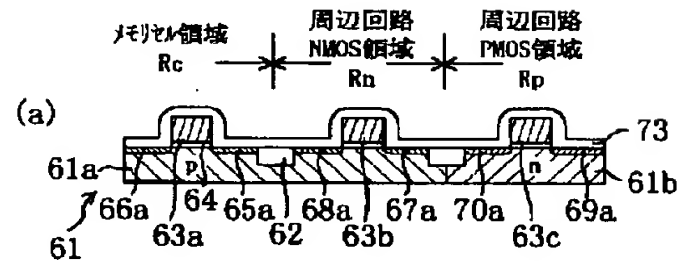
【図16】



【図17】



【図19】



【図18】

